

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-042575

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H02M 7/5387

(21)Application number : 08-193724

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.07.1996

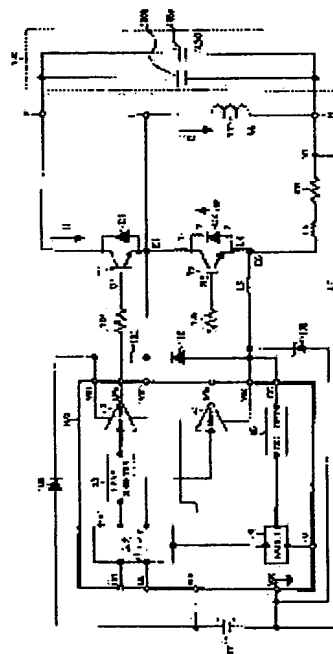
(72)Inventor : KAITANI TOSHIYUKI
OGAMI MASAKATSU
YAMADA TAKASHI

(54) INVERTER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a high withstand voltage IC for driving a switching element from being destroyed at the time of large-current driving.

SOLUTION: A clamp diode 110 is connected between an upper arm switching element driving signal reference output terminal VS1 and a lower arm switching element driving signal reference output terminal VS0 of a high withstand voltage IC100. The clamp diode 110 turns on, only when the voltage V (VS1-VS0) between the upper and the lower reference output terminals VS1, VS0 is negative, to keep the voltage (VS1-VS0) at the on-voltage of the clamp diode 110. The negative voltage, which results in the destruction of the high withstand voltage IC generated by the small inductance of the pattern of a diode tip or the wiring of a current detector, is clamped by the clamp diode. Therefore, it is possible to prevent the high withstand voltage IC from being destroyed.



LEGAL STATUS

[Date of request for examination] 18.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3560737

[Date of registration] 04.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-42575

(43)公開日 平成10年(1998)2月13日

(51)Int.Cl.⁶
H 0 2 M 7/5387

識別記号

庁内整理番号
8110-5H

F I
H 0 2 M 7/5387

技術表示箇所

Z

審査請求 未請求 請求項の数 8 O L (全 39 頁)

(21)出願番号 特願平8-193724

(22)出願日 平成8年(1996)7月23日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 貝谷 敏之

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 大上 正勝

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 山田 敬

東京都千代田区大手町二丁目6番2号 三
菱電機エンジニアリング株式会社内

(74)代理人 弁理士 酒井 宏明

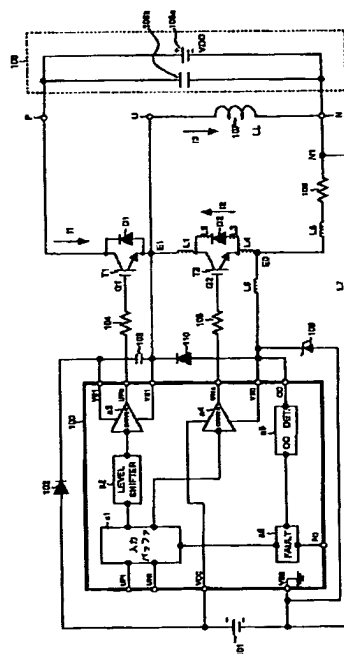
(54)【発明の名称】 インバータ装置

(57)【要約】

【課題】 大電流駆動時にスイッチング素子駆動用の高耐圧 I C が破壊するのを防ぐこと。

【解決手段】 高耐圧 I C 1 0 0 の上アームスイッチング素子駆動信号基準出力端子 V S 1 と下アームスイッチング素子駆動信号基準出力端子 V S 0 との間にクランプダイオード 1 1 0 を接続し、それら上下の基準出力端子 V S 1 , V S 0 間の電圧を V (V S 1 - V S 0) が負電圧になった時にのみクランプダイオード 1 1 0 がオンしてその電圧 V (V S 1 - V S 0) をクランプダイオード 1 1 0 のオン電圧に保つ。

【効果】 ダイオードチップのパターンや電流検出器の配線のわずかなインダクタンスにより発生する高耐圧 I C の破壊原因となる負電圧をクランプダイオードによりクランプするため、高耐圧 I C の破壊を防ぐことができる。



【特許請求の範囲】

【請求項1】 互いに逆並列接続された上アームのスイッチング素子およびダイオードからなる上アーム部と互いに逆並列接続された下アームのスイッチング素子およびダイオードからなる下アーム部とが直列に接続され、かつ直流電源の正負極間に接続可能にされてなるインバータ部を1つ有する単相インバータ回路と、前記上アームのスイッチング素子および前記下アームのスイッチング素子をそれぞれ駆動する高耐圧ICと、前記高耐圧ICの、前記上アームスイッチング素子の駆動信号の基準となる電位を出力する上アームスイッチング素子駆動信号基準出力端子にカソードが接続され、かつ前記下アームスイッチング素子の駆動信号の基準となる電位を出力する下アームスイッチング素子駆動信号基準出力端子にアノードが接続されてなるクランプダイオードと、

を備えたことを特徴とするインバータ装置。

【請求項2】 互いに逆並列接続された上アームのスイッチング素子およびダイオードからなる上アーム部と互いに逆並列接続された下アームのスイッチング素子およびダイオードからなる下アーム部とが直列に接続され、かつ直流電源の正負極間に接続可能にされてなるインバータ部を3つ有する3相インバータ回路と、前記上アームのスイッチング素子および前記下アームのスイッチング素子をそれぞれ駆動する高耐圧ICと、前記高耐圧ICの、前記上アームスイッチング素子の駆動信号の基準となる電位を出力する3つの上アームスイッチング素子駆動信号基準出力端子にそれぞれカソードが接続され、かつ前記下アームスイッチング素子の駆動信号の基準となる電位を出力する下アームスイッチング素子駆動信号基準出力端子にそれぞれアノードが接続されてなる3つのクランプダイオードと、

を備えたことを特徴とするインバータ装置。

【請求項3】 前記クランプダイオードは、前記高耐圧ICに外付けされていることを特徴とする請求項1または2に記載のインバータ装置。

【請求項4】 互いに逆並列接続された上アームのスイッチング素子およびダイオードからなる上アーム部と互いに逆並列接続された下アームのスイッチング素子およびダイオードからなる下アーム部とが直列に接続され、かつ直流電源の正負極間に接続可能にされてなるインバータ部を1つ以上有するインバータ回路と、前記上アームのスイッチング素子および前記下アームのスイッチング素子をそれぞれ駆動する高耐圧ICと、前記インバータ回路に流れる電流量を検出する電流検出手段と、前記高耐圧ICの駆動電源とは別の独立した電源により動作し、かつ前記電流検出手段から出力される信号を前記高耐圧ICへ伝達する伝達手段と、を備えたことを特徴とするインバータ装置。

【請求項5】 前記伝達手段は、オペアンプにより構成され、前記高耐圧ICに外付けされていることを特徴とする請求項4に記載のインバータ装置。

【請求項6】 互いに逆並列接続された上アームのスイッチング素子およびダイオードからなる上アーム部と互いに逆並列接続された下アームのスイッチング素子およびダイオードからなる下アーム部とが直列に接続され、かつ直流電源の正負極間に接続可能にされてなるインバータ部を1つ有する単相インバータ回路と、

10 前記上アームのスイッチング素子および前記下アームのスイッチング素子をそれぞれ駆動する高耐圧ICとを備え、

前記高耐圧ICの、前記上アームスイッチング素子の駆動信号の基準となる電位を出力する上アームスイッチング素子駆動信号基準出力端子に一端が接続された配線の後端を前記下アームのダイオードのカソード近傍に接続するとともに、前記下アームスイッチング素子の駆動信号の基準となる電位を出力する下アームスイッチング素子駆動信号基準出力端子に一端が接続された配線の後端を同下アームのダイオードのアノードに接続したことを特徴とするインバータ装置。

【請求項7】 互いに逆並列接続された上アームのスイッチング素子およびダイオードからなる上アーム部と互いに逆並列接続された下アームのスイッチング素子およびダイオードからなる下アーム部とが直列に接続され、かつ直流電源の正負極間に接続可能にされてなるインバータ部を3つ有する3相インバータ回路と、

30 前記上アームのスイッチング素子および前記下アームのスイッチング素子をそれぞれ駆動する高耐圧ICと、

前記下アームスイッチング素子の駆動信号の基準となる電位を出力する下アームスイッチング素子駆動信号基準出力端子に一端が接続された配線の後端が接続された専用のボンディングパッドとを備え、

前記高耐圧ICの、前記上アームスイッチング素子の駆動信号の基準となる電位を出力する3つの上アームスイッチング素子駆動信号基準出力端子にそれぞれ一端が接続された3つの配線の各他端を前記3つの下アームのダイオードのカソード近傍にそれぞれ接続するとともに、前記下アームスイッチング素子駆動信号基準出力端子用の前記ボンディングパッドと同3つの下アームのダイオードのアノードとをそれぞれワイヤにて電気的に接続したことを特徴とするインバータ装置。

【請求項8】 互いに逆並列接続された上アームのスイッチング素子およびダイオードからなる上アーム部と互いに逆並列接続された下アームのスイッチング素子およびダイオードからなる下アーム部とが直列に接続され、かつ直流電源の正負極間に接続可能にされてなるインバータ部を1つ以上有するインバータ回路と、

50 前記上アームのスイッチング素子および前記下アームのスイッチング素子をそれぞれ駆動する高耐圧ICとを備

え、
前記下アームのダイオードとして、スイッチング素子および上アームのダイオードよりも電流容量が大きいダイオードを用いたことを特徴とするインバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インバータ装置さらにはインバータ装置のブリッジ回路を駆動する高耐圧ICの耐圧破壊防止に適用して有効な技術に関する。

【0002】

【従来の技術】従来、3相のインバータ回路に関し、その電流検出方法として特開平4-54461号に記載されたものが知られている。図15には、その特開平4-54461号に記載された3相インバータ回路の構成の概略が示されている。この3相インバータ回路は、npnトランジスタからなる6個のスイッチング素子T1、T2、T3、T4、T5、T6と、それら各スイッチング素子T1、T2、T3、T4、T5、T6にそれぞれ並列に接続された6個のダイオードD1、D2、D3、D4、D5、D6とからなる電圧形インバータ1を有している。

【0003】また、この3相インバータ回路には、該インバータ回路により駆動されるモータ2等の負荷および6個のスイッチング素子T1、T2、T3、T4、T5、T6を駆動する高耐圧IC（図示省略）などの駆動装置が接続されている。さらに、この3相インバータ回路には電流検出器3が設けられている。そして、その電流検出器3の出力電圧をA/D（アナログ/デジタル）変換器4によりデジタル信号に変換して処理装置（CPU）5に供給するようになっている。CPU5には、該CPU5の割込み処理の起動信号を生成する割込みパルス発生器6が接続されている。CPU5は、電流検出器3により検出された電流値が所定の値になると、所定の割込みルーチンの処理を実行するようにプログラムされている。

【0004】スイッチング素子T1、T3、T5はそれぞれ上アーム側のスイッチング素子（以下、それぞれ上アームスイッチング素子と称する）である。スイッチング素子T2、T4、T6はそれぞれ下アーム側のスイッチング素子（以下、それぞれ下アームスイッチング素子と称する）である。上アームスイッチング素子T1と下アームスイッチング素子T2、上アームスイッチング素子T3と下アームスイッチング素子T4、上アームスイッチング素子T5と下アームスイッチング素子T6とがそれぞれ対となって3相のインバータを構成している。

【0005】各上アームスイッチング素子T1、T3、T5のコレクタには正の電源電圧が印加される。各上アームスイッチング素子T1、T3、T5のエミッタは、それぞれ下アームスイッチング素子T2、T4、T6のコレクタに接続されている。各下アームスイッチング素

子T2、T4、T6のエミッタは共通接続されて電流検出器3を介して負の電源電圧線に接続されている。各上アームスイッチング素子T1、T3、T5および各下アームスイッチング素子T2、T4、T6のゲートは、高耐圧ICなどの駆動装置の駆動信号出力端子（図示省略）に接続されており、各スイッチング素子T1、T2、T3、T4、T5、T6はその駆動装置（図示省略）から供給される駆動信号により駆動される。

【0006】また、各上アームスイッチング素子T1、T3、T5のコレクタにはそれぞれダイオードD1、D3、D5のカソードが接続され、各上アームスイッチング素子T1、T3、T5のエミッタにはそれぞれダイオードD1、D3、D5のアノードが接続されている。また、各下アームスイッチング素子T2、T4、T6のコレクタにはそれぞれダイオードD2、D4、D6のカソードが接続されている。ダイオードD2、D4、D6のアノードは、電流検出器3を介さずに直接負の電源電圧線に接続されている。すなわち、ダイオードD1、D2、D3、D4、D5、D6は、それぞれスイッチング素子T1、T2、T3、T4、T5、T6に逆並列接続されている。

【0007】図15に示す3相インバータ回路は、上述したように構成されていることにより、各下アームスイッチング素子T2、T4、T6を流れる電流のみが合成されてなる電流を電流検出器3により検出するようになっている。この図15に示す構成のインバータ回路は、従来よく使用されている。

【0008】図16に示す3相インバータ回路は、図15に示すように下アームスイッチング素子T2、T4、T6の各エミッタのみと負の電源電圧線との間に電流検出器3を設ける代わりに、該インバータ回路からモータ2等の負荷に流れる駆動電流の配線経路に電流検出器7を設けたものである。6個のスイッチング素子T1、T2、T3、T4、T5、T6に、それぞれダイオードD1、D2、D3、D4、D5、D6が逆並列接続されてなる電圧形インバータ1の構成は、図15に示す構成と同じである。この図16に示す構成のインバータ回路も、従来よく使用されている。なお、図示省略したが、電流検出器7に、検出電流値に応じて割込み処理を行い得るように、A/D変換器4、CPU5および割込みパルス発生器6が接続されているのはいうまでもない。

【0009】図17に示す3相インバータ回路は、図15に示すように下アームスイッチング素子T2、T4、T6の各エミッタのみと負の電源電圧線との間に電流検出器3を設ける代わりに、下アームスイッチング素子T2、T4、T6の各エミッタと対応するダイオードD2、D4、D6の各アノードとそれぞれを共通接続してなる母線に電流検出器8を設けたものである。

【0010】6個のスイッチング素子T1、T2、T3、T4、T5、T6に、それぞれダイオードD1、D

5

2, D3, D4, D5, D6が逆並列接続されてなる電圧形インバータ1の構成は、図15に示す構成と同じである。この図17に示す構成のインバータ回路も、従来よく使用されている。なお、図示省略したが、電流検出器7に、検出電流値に応じて割込み処理を行い得るように、A/D変換器4、CPU5および割込みパルス発生器6が接続されているのはいうまでもない。

【0011】図18には、インバータ回路の上下のアームスイッチング素子を高耐圧ICにより駆動するようにされた一般的な単相インバータ装置が示されている。この例の単相インバータ回路は、図17に示す3相インバータ回路のうちの1相のインバータ部分に相当する構成のものである。すなわち、上アームスイッチング素子T1のエミッタと下アームスイッチング素子T2のコレクタが接続されてなる一対のスイッチング素子T1, T2に、それぞれ上下のダイオードD1, D2が逆並列接続されている。

【0012】そして、下アームスイッチング素子T2のエミッタとそれに逆並列接続されたダイオードD2のアノードとが共通接続されて直流電源108の負(−)側の端子に至る母線上に電流検出器106が設けられている。上アームスイッチング素子T1のコレクタとそれに逆並列接続されたダイオードD1のカソードとは、直流電源108の正(+)側の端子に共通接続されている。上アームスイッチング素子T1および下アームスイッチング素子T2の各ゲートG1, G2には、それぞれ高耐圧IC100から駆動信号が入力されるようになっている。

【0013】また、上記構成のインバータ回路には、3つの外部接続端子P, U, Nが設けられている。外部接続端子Pはインバータ回路に正の電源電圧を印加する電源端子、すなわち上アームスイッチング素子T1のコレクタとダイオードD1のカソードとが共通接続された端子である。外部接続端子Nはインバータ回路に負の電源電圧を印加する電源端子、すなわち下アームスイッチング素子T2のエミッタとダイオードD2のアノードとが一端に共通接続された電流検出器106の他端が接続された端子である。

【0014】つまり、外部接続端子Pと外部接続端子Uとの間に直流電源108が、外部接続端子Pを正側として接続されている。外部接続端子Uは、上アームスイッチング素子T1のエミッタ側の接続ノードE1に接続されている。そして、外部接続端子Uと外部接続端子Nとの間には、負荷としてリアクトル(インダクタンス値: L)107が接続されている。

【0015】接続ノードE1と下アームスイッチング素子T2のコレクタとの間の配線部には、インダクタンス値がL1の寄生リアクトルが存在する。ダイオードD2のカソード側配線部には、インダクタンス値がL2の寄生リアクトルが存在する。ダイオードD2のアノード側

6

配線部には、インダクタンス値がL3およびL4の寄生リアクトルが直列に存在する。接続ノードE0と電流検出器106を挟んでE0の反対側(すなわち、電流検出器106と外部接続端子Nとの間)に設けられた接続ノードN1との間の配線には、インダクタンス値がL5の寄生リアクトルが存在する。

【0016】なお、直流電源108は、起電力を発生する電源本体108aとキャパシタ108bとが並列に接続されて構成されている。

10 【0017】高耐圧IC100は、該IC100の駆動信号入力端子UPi, UNiを介して外部から入力された信号を一時的に保持する入力バッファa1、その入力バッファa1の出力信号を受け取ってその信号の電位から浮いたフローティング電位の信号を生成するレベルシフタa2、レベルシフタa2の出力信号を受け取って上アームスイッチング素子T1を駆動する上アーム側ドライバ回路a3、入力バッファa1の出力信号を受け取って下アームスイッチング素子T2を駆動する下アーム側ドライバ回路a4、過電流の検出を行う過電流検出器a5、過電流検出器a5から出力される検出信号を受け取ってエラー信号を生成するエラー信号発生器a6とを備えている。

20 【0018】上アーム側ドライバ回路a3は、高耐圧IC100に設けられた上アームスイッチング素子駆動信号出力端子UPoを介して上アームスイッチング素子T1に駆動信号を出力する。また、上アーム側ドライバ回路a3には、高耐圧IC100にそれぞれ設けられたフローティング電源正側入力端子VB1およびフローティング電源負側入力端子VS1を介して外部から正および負のフローティング電圧が印加される。フローティング電源負側入力端子VS1は、上アームスイッチング素子駆動信号基準出力端子を兼ねている。

30 【0019】下アーム側ドライバ回路a4は、高耐圧IC100に設けられた下アームスイッチング素子駆動信号出力端子UNoを介して下アームスイッチング素子T2に駆動信号を出力する。また、下アーム側ドライバ回路a4には、高耐圧IC100に設けられた正側電源端子VCCを介して外部から正の電源電圧が印加される。下アーム側ドライバ回路a4は、高耐圧IC100に設けられた下アームスイッチング素子駆動信号基準出力端子VS0に接続されている。

【0020】過電流検出器a5は、高耐圧IC100に設けられた電流検出端子OCに接続されている。

【0021】エラー信号発生器a6は、高耐圧IC100に設けられたエラー出力端子Foを介して外部の図示しない制御装置やアラーム報知手段などにエラー信号を出力する。

50 【0022】高耐圧IC100にそれぞれ設けられた正側電源端子VCCおよび負側電源端子VSSは、それぞれ外部電源101の正極および負極にそれぞれ接続され

ている。そして、負側電源端子VSSは接地されている。

【0023】高耐圧IC100には、上記外部電源101の他に、ダイオード102、キャパシタ103および定電圧ダイオード109が外付けされている。すなわち、ダイオード102は、そのアノードが正側電源端子VCCに接続され、カソードがフローティング電源正側入力端子VB1に接続されている。キャパシタ103は、フローティング電源正側入力端子VB1とフローティング電源負側入力端子VS1との間に接続されている。定電圧ダイオード109は下アームスイッチング素子駆動信号基準出力端子VS0の過電圧保護用に設けられており、下アームスイッチング素子駆動信号基準出力端子VS0と負側電源端子VSSとの間に接続されている。

【0024】高耐圧IC100は、上下一対のアームスイッチング素子T1、T2および直流電源108からなるインバータ回路に以下のように接続されている。すなわち、高耐圧IC100のフローティング電源負側入力端子（上アームスイッチング素子駆動信号基準出力端子）VS1は、上アームスイッチング素子T1のエミッタ側の接続ノードE1に接続されている。上アームスイッチング素子駆動信号出力端子UPoは、ゲート抵抗104を介して上アームスイッチング素子T1のゲートG1に接続されている。

【0025】また、下アームスイッチング素子駆動信号基準出力端子VS0は、下アームスイッチング素子T2のエミッタ側の接続ノードE0に接続されている。下アームスイッチング素子駆動信号出力端子UNoは、ゲート抵抗105を介して下アームスイッチング素子T2のゲートG2に接続されている。電流検出端子OCは、前記接続ノードE0に接続されている。また、負側電源端子VSSは、インバータ回路の前記接続ノードN1に接続されている。それら接続ノードE0と接続ノードN1との間には上述したように電流検出器106があるので、電流検出端子OCに電流検出器106の検出電圧が印加されることになる。

【0026】下アームスイッチング素子駆動信号基準出力端子VS0と接続ノードE0との間の配線および負側電源端子VSSと接続ノードN1との間の配線には、それぞれインダクタンス値がL6およびL7の寄生リアクトルが存在している。

【0027】ここで、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1の耐圧の最大値は、例えば用途により多少の差はあるが〔（下アームスイッチング素子駆動信号基準出力端子VS0の電位）+600〕ボルト程度であり、最小値はいかなる用途のものでも〔（下アームスイッチング素子駆動信号基準出力端子VS0の電位）-5〕ボルト程度である。つまり、上アームスイッチング素子駆動信号基準出力端子V

S1と下アームスイッチング素子駆動信号基準出力端子VS0との間には、-5V以下の電圧をかけることができないことを意味する。

【0028】これは、一般に、CMOSFET（相補型の絶縁ゲート型電界効果トランジスタ）で構成されるICでもバイポーラのTTL（transistor transistor logic）で構成されるICでも、そのICの電源電圧以下の電位に対しては-0.5V程度しか保証されていないため、電源電圧以下の電位に対しては原理的に弱くなってしまうからであると考えられる。

【0029】図19には、図18に示すインバータ装置の動作タイミングが示されている。図19において、S（UPo）およびS（UNo）は、それぞれ高耐圧IC100の上アームスイッチング素子駆動信号出力端子UPoおよび下アームスイッチング素子駆動信号出力端子UNoから出力された信号であり、それぞれ上アームスイッチング素子T1および下アームスイッチング素子T2の駆動信号である。また、I1は上アームスイッチング素子T1を流れる電流、I2はダイオードD2に流れる電流、I3はリアクトル107を流れる電流である。

【0030】上下のアームスイッチング素子T1、T2のそれぞれの駆動信号S（UPo）、S（UNo）が相対的に低電位（ロー）レベル（以下、Lレベルとする）の状態の時、上下のアームスイッチング素子T1、T2はいずれもオフ状態である。従って、Lレベルの駆動信号S（UPo）、S（UNo）はスイッチング素子オフ信号である。

【0031】駆動信号S（UPo）、S（UNo）がいずれもスイッチング素子オフ信号（すなわちLレベル）である時に、駆動信号S（UPo）だけが立ち上がり、相対的に高電位（ハイ）レベル（以下、Hレベルとする）の信号（すなわち、スイッチング素子オン信号）に変わると、駆動信号S（UPo）がHレベルである間（図19中のAの期間）、直流電源108の正極から外部接続端子P、上アームスイッチング素子T1、リアクトル107および外部接続端子Nを介して直流電源108の負極へ至るという経路で電流が流れる。

【0032】ここで、図18に示すインバータ装置において、例えば直流電源108の出力電圧VDCを300V、リアクトル107のインダクタンス値LLを3mH、駆動信号S（UPo）がHレベルである時の時間幅（Aの期間）Tonを1msとすると、リアクトル107のピーク電流Ipは次の計算式より100A（アンペア）となる。

$$\begin{aligned} I_p &= VDC \cdot T_{on} / LL \\ &= \{ 300 \cdot 1 \cdot (E-3) \} / \{ 3 \cdot (E-3) \} \\ &= 100 [A] \end{aligned}$$

なお、本明細書中、“（E-n）”とあるのは、10の-（マイナス）n乗を意味する。ただし、nは自然数で

ある。

【0033】続いて、駆動信号S (UPo) が立ち下がりLレベルになると、上アームスイッチング素子T1はオフ状態に切り替わる。それによって、上アームスイッチング素子T1を流れる電流I1は減少し始め、所定の時間(図19中のBの期間)だけ遅れてゼロになる。一方、ダイオードD2を流れる電流I2は、駆動信号S (UPo) の立下がりエッジに同期して増大し始め、Bの期間経過後に前記ピーク電流Ipに達する。このBの期間では、電流の単位時間当たりの変化量(di/dt)が大きいため、わずかな配線インダクタンスでも数Vの誘起電圧が発生する。またダイオードD2は、電流が流れると約2V程度のオン電圧が発生する。

【0034】ここで、図18に示すインバータ装置において、配線インダクタンスL1、L2、L3、L4の合成インダクタンス値を20nH、ダイオードD2のオン電圧VFを2V、上アームスイッチング素子T1のスイッチングスピードToffを400nsとし、上記ピーク電流Ipの値100Aを用いると、上アームスイッチング素子T1のエミッタ側の接続ノードE1と下アームスイッチング素子T2のエミッタ側の接続ノードE0との間にかかる電圧V(E1-E0)は次の計算式より7Vとなる。

$$\begin{aligned} V(E1-E0) &= -(L1+L2+L3+L4) \cdot I_p / T_{off} - V_F \\ &= -(20 \cdot (E-9) \cdot 100) / \{400 \cdot (E-9)\} - 2 \\ &= -7 \text{ [V]} \end{aligned}$$

【0035】このように、配線インダクタンスが小さくても、図19のBの期間のように大電流が流れると高耐圧IC100のマイナス側の耐圧すなわち[(VS0の電位)-5]ボルトを超える(最小値を下回る)電圧が発生してしまう。

【0036】また、配線インダクタンスL5を20nHとし、上記ピーク電流Ipの値100Aおよび上アームスイッチング素子T1のスイッチングスピードToffの値400nsを用いると、図19のBの期間に下アームスイッチング素子T2のエミッタ側の接続ノードE0と電流検出器106を挟んで該接続ノードE0の反対側の接続ノードN1との間に誘起される電圧V(E0-N1)は次の計算式により-5Vとなる。

$$\begin{aligned} V(E0-N1) &= -L5 \cdot I_p / T_{off} \\ &= -(20 \cdot (E-9) \cdot 100) / \{400 \cdot (E-9)\} \\ &= -5 \text{ [V]} \end{aligned}$$

【0037】この誘起された電圧V(E0-N1)により、接続ノードN1から配線インダクタンス値L7の寄生リアクトル、定電圧ダイオード109および配線インダクタンス値L6の寄生リアクトルを介して接続ノードE0に至る経路に電流が流れる。ここで配線インダク

タンス値L6とL7とが等しいとすると、誘起電圧V(E0-N1)は負側電源端子VSSと接続ノードN1との間、および接続ノードE0と下アームスイッチング素子駆動信号基準出力端子VS0との間に1/2ずつかかる。従って、図19のBの期間に負側電源端子VSSと接続ノードN1との間に作用する電圧V(VSS-N1)は次の計算式により-2.5Vとなる。

$$V(VSS-N1) = V(E0-N1) / 2 = -2.5 \text{ [V]}$$

【0038】また、図19のBの期間に接続ノードE0と下アームスイッチング素子駆動信号基準出力端子VS0との間に作用する電圧V(E0-VS0)も次の計算式により-2.5Vとなる。

$$V(E0-VS0) = V(E0-N1) / 2 = -2.5 \text{ [V]}$$

【0039】なお、図19のBの期間においては、上アームスイッチング素子駆動信号基準出力端子VS1と接続ノードE1との間には特に電圧はかからないので、それらの間の電圧V(VS1-E1)は0Vである。

【0040】上記考察より、図19のBの期間に上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0との間に作用する電圧V(VS1-VS0)は次の計算式より-9.5Vとなる。

$$\begin{aligned} V(VS1-VS0) &= V(VS1-E1) + V(E1-E0) + V(E0-VS0) \\ &= 0 - 7 - 2.5 = -9.5 \text{ [V]} \end{aligned}$$

【0041】このように、配線インダクタンスが小さくても、図19のBの期間のように大電流が流れると高耐圧IC100の上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0との間に定格耐圧の最小範囲(-5V)を下回る電圧が印可されてしまい、高耐圧IC100が耐圧破壊を起こしてしまう。

【0042】図20には、インバータ回路の上下のアームスイッチング素子を高耐圧ICにより駆動するようにされた一般的な単相インバータ装置の他の例が示されている。この例の単相インバータ回路は、図15に示す3相インバータ回路のうちの1相のインバータ部分に相当する構成のものである。すなわち、上アームスイッチング素子T1のエミッタと下アームスイッチング素子T2のコレクタが接続されてなる一対のスイッチング素子T1、T2に、それぞれ上下のダイオードD1、D2が逆並列接続されている。

【0043】そして、下アームスイッチング素子T2のエミッタは電流検出器106の一端に接続されている。電流検出器106の他端は外部接続端子Nを介して直流電源108の負極に接続されている。ダイオードD2のアノードは、高耐圧IC100の負側電源端子VSSに接続されている。上アームスイッチング素子T1のコレクタとダイオードD1のカソードとは外部接続端子Pに共通接続されて直流電源108の正(+)側の端子に接

続されている。上アームスイッチング素子T1および下アームスイッチング素子T2の各ゲートG1、G2には、それぞれ高耐圧IC100から駆動信号が入力される。

【0044】なお、インバータ回路のその他の構成、高耐圧IC100の構成およびインバータ回路と高耐圧IC100との接続については、図18に示す構成のものと同一であるので、同じ符号を付して重複する説明を省略する。

【0045】この図20の構成の例でも上述した図18の構成例と同様に、ダイオードD2のオン電圧VFやダイオードD2および下アームスイッチング素子T2のチップの配線インダクタンスにより誘起された電圧によって、上アームスイッチング素子T1のエミッタ側の接続ノードE1と下アームスイッチング素子T2のエミッタ側の接続ノードE0との間にかかる電圧V(E1-E0)は約-7Vとなる。

【0046】なお、図18の構成についての考察と同様に、配線インダクタンスL1、L2、L3、L4の合成インダクタンス値を20nH、ダイオードD2のオン電圧VFを2V、上アームスイッチング素子T1のスイッチングスピードToffを400nsおよびピーク電流Ipを100Aとする。ただし、この図20の例ではダイオードD2を流れる電流は電流検出器106を通らないため、接続ノードE0と下アームスイッチング素子駆動信号基準出力端子VS0との間には電圧が発生しない。

【0047】従って、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間にV(E1-E0)の電*

$$\begin{aligned} V(E1-E0) &= -(L1+L8) \\ &\quad \cdot Ip / Toff + Vce \\ &= -\{20 \cdot (E-9) \cdot 100\} \\ &\quad / \{400 \cdot (E-9)\} + 2 \\ &= -3 \text{ [V]} \end{aligned}$$

【0051】なお、上アームスイッチング素子駆動信号基準出力端子VS1と接続ノードE1との間には特に電圧はかからないので、それらの間の電圧V(VS1-E1)は0Vである。

$$\begin{aligned} V(VS1-VS0) &= V(VS1-E1) \\ &\quad + V(E1-E0) \\ &\quad + V(E0-VS0) \\ &= 0-3-2.5 = -5.5 \text{ [V]} \end{aligned}$$

【0053】このように、図20に示す構成の装置においても、大電流が流れると高耐圧IC100の上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0との間に定格耐圧の最小範囲(-5V)を下回る電圧が印可されてしまい、高耐圧IC100が耐圧破壊を起こしてしまう。

【0054】上記図18および図20にそれぞれ示す構

*圧がそのままかかる。すなわち、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間には、定格耐圧の最小範囲を(-5V)を下回る電圧(-7V)が印可されてしまい、高耐圧IC100が耐圧破壊を起こしてしまう。

【0048】また、下アームスイッチング素子T2に流れていた電流が遮断された瞬間には、接続ノードE0と電流検出器106との間に寄生する配線インダクタンス値L5の寄生リアクトルにより電圧が発生し、その発生した電圧が配線インダクタンス値L6およびL7の各寄生リアクトルに分圧される。

【0049】従って、接続ノードE0と下アームスイッチング素子駆動信号基準出力端子VS0との間に電圧V(E0-VS0)が発生する。図18の構成についての考察と同様に、配線インダクタンスL5を20nH、ピーク電流Ipを100Aおよび上アームスイッチング素子T1のスイッチングスピードToffを400nsとすると、V(E0-VS0)は-2.5Vとなる。

【0050】配線インダクタンス値L1の寄生リアクトルと、下アームスイッチング素子T2の配線パターンに寄生する合成インダクタンス値L8のリアクトルと、そのスイッチング素子T2のオン電圧Vceにより、接続ノードE1とE0との間には電圧V(E1-E0)が発生する。L1とL8との合成インダクタンス値を20nH、前記Vceを2V、ピーク電流Ipを100Aおよび上アームスイッチング素子T1のスイッチングスピードToffを400nsとすると、電圧V(E1-E0)の値は次の計算式より-3Vとなる。

※【0052】上記考察より、上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0との間に作用する電圧V(VS1-VS0)は次の計算式より-5.5Vとなる。

成の装置に関する上記考察より、電流検出器106の配置の仕方により電圧V(VS1-VS0)の値は異なるが、チップの配線のわずかなインダクタンスや電流検出器106の配線のわずかなインダクタンスによる影響により、大電流駆動の場合に上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0との間に定格耐圧の最小値を下回るマイナス電圧が発生することがあ

13

る、ということがわかる。

【0055】上述した考察については、図21に示すように電流検出器を設けない場合、すなわち電流検出を行わない場合も同様であり、チップの配線のわずかなインダクタンスにより、大電流駆動の場合に上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0との間に定格耐圧の最小値を下回るマイナス電圧が発生することがある。従って、高耐圧IC100が耐圧破壊を起こしてしまう。なお、図21に示す構成のインバータ装置では、定電圧ダイオード109は設けられていない。

【0056】図22には、インバータ回路の3対の上下のアームスイッチング素子を高耐圧ICにより駆動するようにされた一般的な3相インバータ装置が示されている。この例の3相インバータ回路は、図17に示す3相インバータ回路に相当する構成のものである。すなわち、第1相目では、上アームスイッチング素子T1のエミッタと下アームスイッチング素子T2のコレクタが接続されてなる一対のスイッチング素子T1、T2に、それぞれ上下のダイオードD1、D2が逆並列接続されている。

【0057】第2相目では、上アームスイッチング素子T3のエミッタと下アームスイッチング素子T4のコレクタが接続されてなる一対のスイッチング素子T3、T4に、それぞれ上下のダイオードD3、D4が逆並列接続されている。第3相目では、上アームスイッチング素子T5のエミッタと下アームスイッチング素子T6のコレクタが接続されてなる一対のスイッチング素子T5、T6に、それぞれ上下のダイオードD5、D6が逆並列接続されている。

【0058】そして、各下アームスイッチング素子T2、T4、T6のエミッタとそれらに逆並列接続されたダイオードD2、D4、D6のアノードとが共通接続されて電流検出器214の一端に共通接続されている。その電流検出器214の他端は外部接続端子Nに接続されている。各上アームスイッチング素子T1、T3、T5のコレクタとそれらに逆並列接続されたダイオードD1、D3、D5のカソードとは、外部接続端子Pに共通接続されている。各上アームスイッチング素子T1、T3、T5のゲートG1、G3、G5および各下アームスイッチング素子T2、T4、T6のゲートG2、G4、G6には、それぞれ高耐圧IC200から駆動信号が入力されるようになっている。

【0059】また、上記構成のインバータ回路には、上記外部接続端子P、N以外に3つの外部接続端子U、V、Wが設けられている。外部接続端子Uは、第1相目の上アームスイッチング素子T1のエミッタ側の接続ノードE1に接続されている。外部接続端子Uは、第1相目の上アームスイッチング素子T1のエミッタ側の接続ノードE1に接続されている。外部接続端子Vは、第2

14

相目の上アームスイッチング素子T3のエミッタ側の接続ノードE2に接続されている。外部接続端子Wは、第3相目の上アームスイッチング素子T5のエミッタ側の接続ノードE3に接続されている。

【0060】特に図示しないが、各下アームスイッチング素子T2、T4、T6の配線部および各ダイオードD2、D4、D6の配線部には、それぞれ寄生リアクトルが存在する。また、各下アームスイッチング素子T2、T4、T6のエミッタ側の接続ノードE0と電流検出器214を挟んでE0の反対側（すなわち、電流検出器214と外部接続端子Nとの間）に設けられた接続ノードN1との間の配線にも寄生リアクトルが存在する。

【0061】高耐圧IC200は、該IC200の駆動信号入力端子UPi、UNi、VPi、VNi、WPi、WNiを介して外部から入力された信号を一時的に保持する入力バッファb1、その入力バッファb1の出力信号を受け取ってその信号の電位から浮いたフローティング電位の信号を生成する3個のレベルシフタb2、b3、b4、レベルシフタb2、b3、b4の各出力信号を受け取ってそれぞれ上アームスイッチング素子T1、T3、T5を駆動する3個の上アーム側ドライバ回路b5、b6、b7、入力バッファb1から出力される3個の信号を受け取ってそれぞれ下アームスイッチング素子T2、T4、T6を駆動する下アーム側ドライバ回路b8、b9、b10、過電流の検出を行う過電流検出器b11、過電流検出器b11から出力される検出信号を受け取ってエラー信号を生成するエラー信号発生器b12とを備えている。

【0062】各上アーム側ドライバ回路b5、b6、b7は、それぞれ高耐圧IC200に設けられた上アームスイッチング素子駆動信号出力端子UPo、VPo、WPoを介して各上アームスイッチング素子T1、T3、T5に駆動信号を出力する。また、各上アーム側ドライバ回路b5、b6、b7には、高耐圧IC200にそれぞれ設けられたフローティング電源正側入力端子VB1、VB2、VB3およびフローティング電源負側入力端子VS1、VS2、VS3を介して外部から正および負のフローティング電圧が印加される。各フローティング電源負側入力端子VS1、VS2、VS3は、それぞれ各上アームスイッチング素子T1、T3、T5の上アームスイッチング素子駆動信号基準出力端子を兼ねている。

【0063】各下アーム側ドライバ回路b8、b9、b10は、それぞれ高耐圧IC200に設けられた下アームスイッチング素子駆動信号出力端子UNo、VNo、WNoを介して各下アームスイッチング素子T2、T4、T6に駆動信号を出力する。また、各下アーム側ドライバ回路b8、b9、b10には、高耐圧IC200に設けられた正側電源端子VCCを介して外部から正の電源電圧が印加される。各下アーム側ドライバ回路b

8, b9, b10は、高耐圧IC200に設けられた下アームスイッチング素子駆動信号基準出力端子VS0に共通接続されている。

【0064】過電流検出器b11は、高耐圧IC200に設けられた電流検出端子OCに接続されている。

【0065】エラー信号発生器b12は、高耐圧IC200に設けられたエラー出力端子Foを介して外部の図示しない制御装置やアラーム報知手段などにエラー信号を出力する。

【0066】高耐圧IC200にそれぞれ設けられた正側電源端子VCCおよび負側電源端子VSSは、それぞれ外部電源201の正極および負極にそれぞれ接続されている。そして、負側電源端子VSSは接地されている。

【0067】高耐圧IC200には、上記外部電源201の他に、3個のダイオード202, 203, 204、3個のキャパシタ205, 206, 207および定電圧ダイオード215が外付けされている。すなわち、ダイオード202, 203, 204は、各アノードが正側電源端子VCCに共通接続され、各カソードがそれぞれフローティング電源正側入力端子VB1, VB2, VB3に接続されている。キャパシタ205は、フローティング電源正側入力端子VB1とフローティング電源負側入力端子VS1との間に接続されている。

【0068】キャパシタ206は、フローティング電源正側入力端子VB2とフローティング電源負側入力端子VS2との間に接続されている。キャパシタ207は、フローティング電源正側入力端子VB3とフローティング電源負側入力端子VS3との間に接続されている。定電圧ダイオード215は下アームスイッチング素子駆動信号基準出力端子VS0の過電圧保護用に設けられており、下アームスイッチング素子駆動信号基準出力端子VS0と負側電源端子VSSとの間に接続されている。

【0069】高耐圧IC200は、上記3相のインバータ回路に以下のように接続されている。すなわち、高耐圧IC200の3個のフローティング電源負側入力端子（上アームスイッチング素子駆動信号基準出力端子）VS1, VS2, VS3は、それぞれ上アームスイッチング素子T1, T3, T5のエミッタ側の各接続ノードE1, E2, E3に接続されている。

【0070】3個の上アームスイッチング素子駆動信号出力端子UPo, VPo, WPoは、それぞれゲート抵抗208, 209, 210を介して上アームスイッチング素子T1, T3, T5の各ゲートG1, G3, G5に接続されている。下アームスイッチング素子駆動信号基準出力端子VS0は、下アームスイッチング素子T2, T4, T6のエミッタ側の接続ノードE0に接続されている。

【0071】3個の下アームスイッチング素子駆動信号出力端子UNo, VNo, WNoは、それぞれゲート抵抗

抗211, 212, 213を介して下アームスイッチング素子T2, T4, T6の各ゲートG2, G4, G6に接続されている。電流検出端子OCは、前記接続ノードE0に接続されている。

【0072】また、負側電源端子VSSは、インバータ回路の前記接続ノードN1に接続されている。それら接続ノードE0と接続ノードN1との間には上述したように電流検出器214があるので、電流検出端子OCに電流検出器214の検出電圧が印加されることになる。

【0073】下アームスイッチング素子駆動信号基準出力端子VS0と接続ノードE0との間の配線および負側電源端子VSSと接続ノードN1との間の配線には、特に図示しないが、それぞれ寄生リアクトルが存在している。

【0074】図22に示す3相のインバータ装置においても、図18に示した単相インバータ装置の場合と同様に、大電流が流れると上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0, VS2とVS0, VS3とVS0との間にそれぞれ定格耐圧の最小範囲を下回る電圧が印可されてしまい、高耐圧IC200が耐圧破壊を起こしてしまう。

【0075】図23には、インバータ回路の3対の上下のアームスイッチング素子を高耐圧ICにより駆動するようにされた一般的な3相インバータ装置の他の例が示されている。この例の3相インバータ回路は、図15に示す3相インバータ回路に相当する構成のものである。すなわち、第1相目では、上アームスイッチング素子T1のエミッタと下アームスイッチング素子T2のコレクタが接続されてなる一対のスイッチング素子T1, T2に、それぞれ上下のダイオードD1, D2が逆並列接続されている。

【0076】第2相目では、上アームスイッチング素子T3のエミッタと下アームスイッチング素子T4のコレクタが接続されてなる一対のスイッチング素子T3, T4に、それぞれ上下のダイオードD3, D4が逆並列接続されている。第3相目では、上アームスイッチング素子T5のエミッタと下アームスイッチング素子T6のコレクタが接続されてなる一対のスイッチング素子T5, T6に、それぞれ上下のダイオードD5, D6が逆並列接続されている。

【0077】そして、各下アームスイッチング素子T2, T4, T6のエミッタは電流検出器214の一端に接続されている。その電流検出器214の他端は外部接続端子Nに接続されている。各ダイオードD2, D4, D6のアノードは、高耐圧IC200の負側電源端子VSSに接続されている。各上アームスイッチング素子T1, T3, T5のコレクタと各ダイオードD1, D3, D5のカソードとは外部接続端子Pに共通接続されている。各上アームスイッチング素子T1, T3, T5のゲートG1, G3, G5および各下アームスイッチング素

子T2, T4, T6のゲートG2, G4, G6には、それぞれ高耐圧IC200から駆動信号が入力されるようになっている。

【0078】なお、3相インバータ回路のその他の構成、高耐圧IC200の構成およびインバータ回路と高耐圧IC200との接続については、図22に示す構成のものであり、同じ符号を付して重複する説明を省略する。

【0079】この図23の構成の例では、ダイオードD2, D4, D6を流れる電流は電流検出器214を通らないため、接続ノードE0と下アームスイッチング素子駆動信号基準出力端子VS0との間には電圧が発生しないが、それでも大電流駆動の場合に上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0, VS2とVS0, VS3とVS0との間にそれぞれ定格耐圧の最小範囲を下回る電圧が印可されてしまい、高耐圧IC200が耐圧破壊を起こしてしまう。

【0080】また、図24に示すように電流検出器を設けない場合についても同様であり、大電流駆動の場合に上下のアームスイッチング素子駆動信号基準出力端子VS1とVS0, VS2とVS0, VS3とVS0との間にそれぞれ定格耐圧の最小範囲を下回る電圧が印可されてしまい、高耐圧IC200が耐圧破壊を起こしてしまう。なお、図24に示す構成のインバータ装置では、定電圧ダイオード215は設けられていない。

【0081】

【発明が解決しようとする課題】 上述したように、従来のスイッチング素子駆動用高耐圧IC100, 200を使用した単相および3相インバータ装置では、大電流駆動時に下アームスイッチング素子T2, T4, T6やダイオードD2, D4, D6や電流検出器106, 214の接続パターン等のわずかなインダクタンス分により、高耐圧IC100, 200にその定格電圧を超える電圧がかかることがあり、高耐圧IC100, 200が破壊することがあるという問題点があった。

【0082】この発明は、上記問題点を解決するためになされたもので、大電流駆動時にスイッチング素子駆動用の高耐圧ICが破壊するのを防ぐことができるインバータ装置を得ることを目的とする。

【0083】

【課題を解決するための手段】 上記目的を達成するため、この発明に係るインバータ装置は、単相インバータ回路の上下のスイッチング素子を駆動する高耐圧ICの、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間にクランプダイオードを接続したものである。

【0084】この発明に係るインバータ装置によれば、単相インバータ装置において、高耐圧ICの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に印加された負

電圧が、それらの端子間の定格耐圧最小値を下回るのを防止できる。

【0085】つぎの発明に係るインバータ装置は、3相インバータ回路の上下のスイッチング素子を駆動する高耐圧ICの、3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間にそれぞれクランプダイオードを接続したものである。

【0086】この発明に係るインバータ装置によれば、3相インバータ装置において、高耐圧ICの3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間にそれぞれ印加された負電圧が、それらの端子間の定格耐圧最小値を下回るのを防止できる。

【0087】つぎの発明に係るインバータ装置は、クランプダイオードを高耐圧ICの外付け部品としたものである。

【0088】この発明に係るインバータ装置によれば、高耐圧ICの設計変更が不要であるとともに、既存の高耐圧ICを使用したインバータ装置にもこの発明を適用することができる。

【0089】つぎの発明に係るインバータ装置は、電流検出手段を有するインバータ回路の上下のスイッチング素子を駆動する高耐圧ICの駆動電源とは別の独立した電源により動作し、かつ電流検出手段から出力される信号を高耐圧ICへ伝達する伝達手段を設けたものである。

【0090】この発明に係るインバータ装置によれば、電流検出器からの出力を高耐圧ICに伝達する手段を設けたことにより、負側電源端子と下アームスイッチング素子駆動信号基準出力端子との電位を等しくすることができるので、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に、電流検出器の配線パターンなどにより負電圧が印加されるのが防止される。

【0091】つぎの発明に係るインバータ装置は、伝達手段をオペアンプにより構成し、高耐圧ICの外付け部品としたものである。

【0092】この発明に係るインバータ装置によれば、高耐圧ICの設計変更が不要であるとともに、既存の高耐圧ICを使用したインバータ装置にもこの発明を適用することができる。

【0093】つぎの発明に係るインバータ装置は、単相インバータ回路の上下のスイッチング素子を駆動する高耐圧ICの上アームスイッチング素子駆動信号基準出力端子に接続された配線を下アームのダイオードのカソード近傍に接続するとともに、下アームスイッチング素子駆動信号基準出力端子に接続された配線を下アームのダイオードのアノードに接続したものである。

【0094】この発明に係るインバータ装置によれば、

電流検出器を設けない場合には、従来の配線パターンにより生じていたインダクタンスによる電圧発生分がなくなり、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に印加され得る負電圧はほぼ下アームのダイオードのオン電圧のみとなるので、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に定格耐圧最小値を下回るの負電圧が印加されるのが防止される。電流検出器を設けた場合には、上下のアームスイッチング素子駆動信号基準出力端子間に電流検出器により発生される負電圧が低ければ、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に定格耐圧最小値を下回るの負電圧が印加されるのが防止される。

【0095】つぎの発明に係るインバータ装置は、3相インバータ回路部分に、下アームスイッチング素子駆動信号基準出力端子に一端が接続された配線の他端が接続された専用のボンディングパッドを設け、3相インバータ回路の上下のスイッチング素子を駆動する高耐圧ICの、3つの上アームスイッチング素子駆動信号基準出力端子にそれぞれ接続された3つの配線を3つの下アームのダイオードのカソード近傍にそれぞれ接続するとともに、前記専用のボンディングパッドと3つの下アームのダイオードのアノードとをそれぞれワイヤにて電氣的に接続したものである。

【0096】この発明に係るインバータ装置によれば、3相インバータ装置において、下アームの3つダイオードの各カソードから高耐圧ICの各上アームスイッチング素子駆動信号基準出力端子に至るそれぞれの配線経路に主となる電流が流れないようになっていると、下アームの3つのダイオードの各アノードから高耐圧ICの各下アームスイッチング素子駆動信号基準出力端子に至るそれぞれの配線経路にも主となる電流が流れないようになっているので、電流検出器を設けない場合には、3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に印加され得る負電圧はそれぞれほぼ3つの下アームのダイオードのオン電圧のみとなるので、3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に定格耐圧最小値を下回るの負電圧が印加されるのが防止される。電流検出器を設けた場合には、上下のアームスイッチング素子駆動信号基準出力端子間に電流検出器により発生されるそれぞれの負電圧が低ければ、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に定格耐圧最小値を下回るの負電圧が印加されるのが防止される。

【0097】つぎの発明に係るインバータ装置は、高耐圧ICにより駆動されるインバータ回路の下アームのダ

イオードとして、他のスイッチング素子および上アームのダイオードよりも電流容量が大きいダイオードを用いたものである。

【0098】この発明に係るインバータ装置によれば、下アームのダイオードだけ電流容量が大きいものを用いることにより、高耐圧ICの破壊原因の一つである下アームのダイオードのオン電圧を低く抑えることができるため、高耐圧ICの耐圧破壊に対するマージンがそれだけ大きくなる。

【0099】

【発明の実施の形態】

（実施の形態1）図1は、この発明を適用した単相インバータ装置の一例を示す概略図である。この実施の形態1のインバータ装置は、図18に示す一般的なインバータ装置において、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間にクランプダイオード110を接続し、それら上下の基準出力端子VS1、VS0間の電圧V（VS1-VS0）が負電圧になった時にのみクランプダイオード110がオンしてその電圧V（VS1-VS0）をクランプダイオード110のオン電圧に保つようにしたものである。

【0100】図1において、T1およびT2はそれぞれ上アームスイッチング素子および下アームスイッチング素子、D1およびD2はそれぞれ上アームスイッチング素子T1および下アームスイッチング素子T2に逆並列接続されたダイオード、G1、G2はそれぞれ上アームスイッチング素子T1および下アームスイッチング素子T2のゲート、104および105はそれぞれ上アームスイッチング素子T1および下アームスイッチング素子T2の各ゲートG1、G2に接続された抵抗、106は電流検出器、107は負荷としてのリアクトル、108は電源本体108aおよびキャパシタ108bからなる直流電源である。

【0101】また、E1およびE0は上アームスイッチング素子T1および下アームスイッチング素子T2のそれぞれのエミッタ側の接続ノード、Pはインバータ回路に正の電源電圧を印加する電源端子、Nはインバータ回路に負の電源電圧を印加する電源端子、Uはインバータ回路の出力端子、L1、L2、L3、L4、L5、L6およびL7は配線部分に寄生するリアクトル、I1、I2、I3はそれぞれ上アームスイッチング素子T1を流れる電流、ダイオードD2に流れる電流、リアクトル107を流れる電流である。電流検出器106は、下アームスイッチング素子T2のエミッタとダイオードD2のアノードとが共通接続された母線上に設けられている。

【0102】また、図1において、100はインバータ回路のスイッチング素子駆動用高耐圧IC、101は高耐圧IC100に駆動電圧を供給する外部電源、102はダイオード、103はキャパシタ、109は定電圧ダ

イオード、a1, a2, a3, a4, a5, a6は高耐圧IC100の内部の回路ブロックであり、a1は入力バッファ、a2はレベルシフタ、a3は上アームスイッチング素子T1を駆動する上アーム側ドライバ回路、a4は下アームスイッチング素子T2を駆動する下アーム側ドライバ回路、a5は過電流検出器、a6はエラー信号発生器である。

【0103】また、UPi, UNi, UPo, UNo, VB1, VS1, VS0, OC, Fo, VCC, VSSは高耐圧IC100の入出力端子であり、UPiおよびUNiはそれぞれ駆動信号入力端子、UPoは上アームスイッチング素子T1の駆動信号を出力する上アームスイッチング素子駆動信号出力端子、UNoは下アームスイッチング素子T2の駆動信号を出力する下アームスイッチング素子駆動信号出力端子、VB1はフローティング電源正側入力端子、VS1はフローティング電源負側入力端子であるとともに上アームスイッチング素子駆動信号基準出力端子、VS0は下アームスイッチング素子駆動信号基準出力端子、OCは電流検出端子、Foはエラー出力端子、VCCおよびVSSはそれぞれ正側および負側の電源端子である。

【0104】図1に示すインバータ装置の構成において、図18に示すインバータ装置と同一の構成については、同一の符号を付して重複する説明を省略する。

【0105】ところで、一般に、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1の耐圧の最小値は、〔(下アームスイッチング素子駆動信号基準出力端子VS0の電位) - 5〕ボルト程度である。つまり、高耐圧IC100の上下のアームスイッチング素子駆動信号基準出力端子VS1, VS0間の電圧V(VS1-VS0)の定格耐圧最小値は略-5Vである。

【0106】従って、本実施の形態1においては、前記クランプダイオード110として、特に限定しないが、例えばオン電圧が0.7V~2V程度の一般的なダイオードを用いる。そうすれば、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧がかかった場合に、それらの間の電圧は、クランプダイオード110のオン電圧すなわち-0.7V~-2V程度にクランプされる。なお、好ましくはクランプダイオード110を高耐圧IC100の基準出力端子VS0およびVS1の直ぐそばに設けて、それら端子VS0, VS1からクランプダイオード110までの配線長をできるだけ短く抑えるようにするとよい。

【0107】図1に示す構成のインバータ装置の作用について説明する。高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に、該IC100を破壊させる原因となり得る負電圧が印可さ

れたときにのみ、クランプダイオード110がオンとなり、それら端子VS1, VS0間の電圧V(VS1-VS0)をオン電圧(0.7V~2V程度)にクランプする。従って、電圧V(VS1-VS0)は-0.7V~-2V程度となり、高耐圧IC100のそれら端子VS1, VS0間の定格耐圧最小値-5Vを下回ることはない。

【0108】以上説明したように、この実施の形態1によれば、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧が印加された時の端子間電圧V(VS1-VS0)は-0.7V~-2V程度となり、高耐圧IC100のそれら端子VS1, VS0間の定格耐圧最小値-5Vを下回るのを防止できるので、高耐圧IC100の耐圧破壊を防止することができる。

【0109】なお、図2に示す単相インバータ装置のように、ダイオードD2のアノードを電流検出器106を介さずに直接負側電源端子VSSに接続して、下アームスイッチング素子T2のエミッタのみを電流検出器106に接続するようにした図20に示す構成のインバータ装置においても、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間にクランプダイオード110を設けることができる。そうすれば、高耐圧IC100のそれら端子VS1, VS0間の電圧V(VS1-VS0)が定格耐圧最小値-5Vを下回るのを防止できるので、高耐圧IC100の耐圧破壊を防止することができる。

【0110】また、図3に示す単相インバータ装置のように、電流検出器を設けないようにした図21に示す構成のインバータ装置においても、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間にクランプダイオード110を設けることができる。そうすれば、高耐圧IC100のそれら端子VS1, VS0間の電圧V(VS1-VS0)が定格耐圧最小値-5Vを下回るのを防止できるので、高耐圧IC100の耐圧破壊を防止することができる。

【0111】(実施の形態2) 図4は、この発明を適用した3相インバータ装置の一例を示す概略図である。この実施の形態2のインバータ装置は、図22に示す一般的なインバータ装置において、高耐圧IC200の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間、上アームスイッチング素子駆動信号基準出力端子VS2と下アームスイッチング素子駆動信号基準出力端子VS0との間、上アームスイッチング素子駆動信号基準出力端子VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間にそれぞれクランプダイオー

ド216, 217, 218を接続したものである。

【0112】そして、上側の各基準出力端子VS1, VS2, VS3と下側の基準出力端子VS0との間の各電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)がそれぞれ負電圧になった時にのみ対応するクランプダイオード216, 217, 218がオンして各電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)をそれぞれクランプダイオード216, 217, 218のオン電圧に保つようにしたものである。

【0113】図4において、T1, T3, T5およびT2, T4, T6はそれぞれ上アームスイッチング素子および下アームスイッチング素子、D1, D3, D5およびD2, D4, D6はそれぞれ上アームスイッチング素子T1, T3, T5および下アームスイッチング素子T2, T4, T6に逆並列接続されたダイオード、G1, G3, G5およびG2, G4, G6はそれぞれ上アームスイッチング素子T1, T3, T5および下アームスイッチング素子T2, T4, T6のゲートである。

【0114】また、208, 209, 210および211, 212, 213はそれぞれ上アームスイッチング素子T1, T3, T5のゲートG1, G3, G5および下アームスイッチング素子T2, T4, T6のゲートG2, G4, G6に接続された抵抗、214は電流検出器、E1, E2, E3はそれぞれ上アームスイッチング素子T1, T3, T5のエミッタ側の接続ノード、E0は下アームスイッチング素子T2, T4, T6の各エミッタ側の共通の接続ノード、Pはインバータ回路に正の電源電圧を印加する電源端子、Nはインバータ回路に負の電源電圧を印加する電源端子、U, V, Wはそれぞれ3相それぞれのインバータ回路の出力端子である。電流検出器214は、各下アームスイッチング素子T2, T4, T6のエミッタと各ダイオードD2, D4, D6のアノードとが共通接続された母線上に設けられている。

【0115】また、図4において、200はインバータ回路のスイッチング素子駆動用高耐圧IC、201は高耐圧IC200に駆動電圧を供給する外部電源、202, 203, 204はダイオード、205, 206, 207はキャパシタ、215は定電圧ダイオード、b1, b2, b3, b4, b5, b6, b7, b8, b9, b10, b11, b12は高耐圧IC200の内部の回路ブロックであり、b1は入力バッファ、b2, b3, b4はレベルシフタ、b5, b6, b7はそれぞれ上アームスイッチング素子T1, T3, T5を駆動する上アーム側ドライバ回路、b8, b9, b10はそれぞれ下アームスイッチング素子T2, T4, T6を駆動する下アーム側ドライバ回路、b11は過電流検出器、b12はエラー信号発生器である。

【0116】また、UPi, UNi, VPi, VNi, WPi, WNi, UPo, VPo, WPo, UNo, V

No, WNo, VB1, VB2, VB3, VS1, VS2, VS3, VS0, OC, Fo, VCC, VSSは高耐圧IC200の入出力端子であり、UPi, VPi, WPiおよびUNi, VNi, WNiはそれぞれ駆動信号入力端子、UPo, VPo, WPoはそれぞれ上アームスイッチング素子T1, T3, T5の駆動信号を出力する上アームスイッチング素子駆動信号出力端子、UNo, VNo, WNoはそれぞれ下アームスイッチング素子T2, T4, T6の駆動信号を出力する下アームスイッチング素子駆動信号出力端子、VB1, VB2, VB3はフローティング電源正側入力端子、VS1, VS2, VS3はフローティング電源負側入力端子であるとともに上アームスイッチング素子駆動信号基準出力端子、VS0は下アームスイッチング素子駆動信号基準出力端子、OCは電流検出端子、Foはエラー出力端子、VCCおよびVSSはそれぞれ正側および負側の電源端子である。

【0117】図4に示すインバータ装置の構成において、図22に示すインバータ装置と同一の構成については、同一の符号を付して重複する説明を省略する。

【0118】ここで、実施の形態1で説明したとおり、一般に高耐圧IC200の上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS3のそれぞれの耐圧の最小値は、[(下アームスイッチング素子駆動信号基準出力端子VS0の電位) - 5]ボルト程度である。つまり、高耐圧IC200の上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間の電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)の定格耐圧最小値はそれぞれ略-5Vである。

【0119】従って、本実施の形態2においては、前記クランプダイオード216, 217, 218として、特に限定しないが、例えばオン電圧が0.7V~2V程度の一般的なダイオードを用いる。そうすれば、上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧がかかった場合に、それらの間の電圧は、クランプダイオード216, 217, 218のオン電圧すなわち-0.7V~-2V程度にクランプされる。

【0120】なお、好ましくは各クランプダイオード216, 217, 218を高耐圧IC200の基準出力端子VS0およびVS1, VS2, VS3の直ぐそばに設けて、それら端子VS0およびVS1, VS2, VS3から各クランプダイオード216, 217, 218までの配線長をできるだけ短く抑えるようにするとよい。

【0121】図4に示す構成のインバータ装置の作用について説明する。高耐圧IC200の上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS

25

3と下アームスイッチング素子駆動信号基準出力端子VS0との間に、該IC200を破壊させる原因となり得る負電圧が印可されたときのみ、クランプダイオード216, 217, 218がオンとなり、それら端子VS1, VS2, VS3とVS0との間の電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)をそれぞれオン電圧(0.7V~2V程度)にクランプする。従って、電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)はそれぞれ0.7V~2V程度となり、高耐圧IC200のそれら端子VS1, VS2, VS3とVS0との間の定格耐圧最小値-5Vを下回ることはない。

【0122】以上説明したように、この実施の形態2によれば、高耐圧IC200の上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧が印加された時の端子間電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)はそれぞれ0.7V~2V程度となり、高耐圧IC200のそれら端子VS1, VS2, VS3とVS0との間の定格耐圧最小値-5Vを下回るのを防止できるので、高耐圧IC200の耐圧破壊を防止することができる。

【0123】なお、図5に示す3相インバータ装置のように、各ダイオードD2, D4, D6のアノードを電流検出器214を介さずに直接負側電源端子VSSに接続して、各下アームスイッチング素子T2, T4, T6のエミッタのみを電流検出器214に接続するようにした図23に示す構成のインバータ装置においても、高耐圧IC200の各上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間にそれぞれクランプダイオード216, 217, 218を設けることができる。そうすれば、高耐圧IC200のそれら端子VS1, VS2, VS3とVS0間の電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)がそれぞれ定格耐圧最小値-5Vを下回るのを防止できるので、高耐圧IC200の耐圧破壊を防止することができる。

【0124】また、図6に示す3相インバータ装置のように、電流検出器を設けないようにした図24に示す構成のインバータ装置においても、高耐圧IC200の各上アームスイッチング素子駆動信号基準出力端子VS1, VS2, VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間にそれぞれクランプダイオード216, 217, 218を設けることができる。そうすれば、高耐圧IC200のそれら端子VS1, VS2, VS3とVS0間の電圧V(VS1-VS0), V(VS2-VS0), V(VS3-VS0)がそれぞれ定格耐圧最小値-5Vを下回るのを防止できるので、高

26

耐圧IC200の耐圧破壊を防止することができる。

【0125】(実施の形態3)図7は、この発明を適用した単相インバータ装置の一例を示す概略図である。この実施の形態3のインバータ装置は、図18に示す一般的なインバータ装置において、電流検出器106の信号を高耐圧IC100に伝達する信号伝達手段としてオペアンプ111およびそのオペアンプ111のゲインを決める抵抗112, 113をオペアンプ111に接続して設け、負側電源端子VSSと下アームスイッチング素子駆動信号基準出力端子VS0とを接続して同電位にすることにより、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧がかかるのを防ぐようにしたものである。

【0126】図7において、T1およびT2はそれぞれ上アームスイッチング素子および下アームスイッチング素子、D1およびD2はそれぞれ上アームスイッチング素子T1および下アームスイッチング素子T2に逆並列接続されたダイオード、G1, G2はそれぞれ上アームスイッチング素子T1および下アームスイッチング素子T2のゲート、104および105はそれぞれ上アームスイッチング素子T1および下アームスイッチング素子T2の各ゲートG1, G2に接続された抵抗、106は電流検出器、107は負荷としてのリアクトル、108は電源本体108aおよびキャパシタ108bからなる直流電源である。

【0127】また、E1およびE0は上アームスイッチング素子T1および下アームスイッチング素子T2のそれぞれのエミッタ側の接続ノード、N1は電流検出器106を挟んで接続ノードE0とは反対側の接続ノード、Pはインバータ回路に正の電源電圧を印加する電源端子、Nはインバータ回路に負の電源電圧を印加する電源端子、Uはインバータ回路の出力端子、L1, L2, L3, L4, L5およびL6は配線部分に寄生するリアクトル、I1, I2, I3はそれぞれ上アームスイッチング素子T1を流れる電流、ダイオードD2に流れる電流、リアクトル107を流れる電流である。電流検出器106は、下アームスイッチング素子T2のエミッタとダイオードD2のアノードとが共通接続された母線上に設けられている。

【0128】また、図7において、100はインバータ回路のスイッチング素子駆動用高耐圧IC、101は高耐圧IC100に駆動電圧を供給する外部電源、102はダイオード、103はキャパシタ、a1, a2, a3, a4, a5, a6は高耐圧IC100の内部の回路ブロックであり、a1は入力バッファ、a2はレベルシフタ、a3は上アームスイッチング素子T1を駆動する上アーム側ドライバ回路、a4は下アームスイッチング素子T2を駆動する下アーム側ドライバ回路、a5は過電流検出器、a6はエラー信号発生器である。

【0129】また、UPi, UNi, UPo, UNo, VB1, VS1, VS0, OC, Fo, VCC, VSSは高耐圧IC100の入出力端子であり、UPiおよびUNiはそれぞれ駆動信号入力端子、UPoは上アームスイッチング素子T1の駆動信号を出力する上アームスイッチング素子駆動信号出力端子、UNoは下アームスイッチング素子T2の駆動信号を出力する下アームスイッチング素子駆動信号出力端子、VB1はフローティング電源正側入力端子、VS1はフローティング電源負側入力端子であるとともに上アームスイッチング素子駆動信号基準出力端子、VS0は下アームスイッチング素子駆動信号基準出力端子、OCは電流検出端子、Foはエラー出力端子、VCCおよびVSSはそれぞれ正側および負側の電源端子である。

【0130】図7に示すインバータ装置の構成において、図18に示すインバータ装置と同一の構成については、同一の符号を付して重複する説明を省略する。

【0131】オペアンプ111は、高耐圧IC100とは別の負電源を有しており、その正側入力端子は下アームスイッチング素子T2のエミッタに近い接続ノードE0に接続され、その負側入力端子は接続ノードN1に接続されている。オペアンプ111の出力端子は高耐圧IC100の電流検出端子OCを介して過電流検出器a5に接続されている。

【0132】電流検出端子OCには、該端子OCに負電圧がかかるのを防ぐクランプダイオード114のアノードが接続されている。そのクランプダイオード114のカソードは接地点に接続されている。なお、クランプダイオード114は、オペアンプ111の出力をクランプするだけであるので、小信号用のダイオードでよい。

【0133】好ましくは、高耐圧IC100の負側電源端子VSSと下アームスイッチング素子駆動信号基準出力端子VS0とを、高耐圧IC100の直ぐそばで接続するとよい。

【0134】図7に示す構成のインバータ装置の作用について説明する。通常、電流検出器106には図7に“+”および“-”で示すような極性の電圧すなわち接続ノードE0側が接続ノードN1側よりも高くなるような電位差が発生するので、オペアンプ111により反転されて電流検出端子OCには正の電圧が印加される。上記従来技術において説明したように電流が遮断されてわずかな配線インダクタンスにより負電圧が誘起された場合には、オペアンプ111が負電圧を有しているため、その負電圧の電圧範囲内であればオペアンプ111が破壊することはない。その際、高耐圧ICの電流検出端子OCにはオペアンプ111から出力された負電圧が印加されることになるが、電流検出端子OCの電位はクランプダイオード114によりクランプされるので高耐圧IC100が破壊することはない。

【0135】以上説明したように、この実施の形態3に

よれば、電流検出器106からの出力を高耐圧IC100に伝達する手段を設けたことにより、負側電源端子VSSと下アームスイッチング素子駆動信号基準出力端子VS0との電位を等しくすることができるので、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に、電流検出器106の配線パターンなどにより負電圧が印加されるのを防ぐことができ、高耐圧IC100の耐圧破壊を防止することができる。

【0136】なお、図8に示す単相インバータ装置のように、ダイオードD2のアノードを電流検出器106を介さないようにして下アームスイッチング素子T2のエミッタのみを電流検出器106に接続するようにした図20に示す構成のインバータ装置においても、電流検出器106の信号を高耐圧IC100に伝達する信号伝達手段としてオペアンプ111およびそのオペアンプ111のゲインを決める抵抗112、113をオペアンプ111に接続して設け、負側電源端子VSSと下アームスイッチング素子駆動信号基準出力端子VS0とを接続して同電位にするようにしてもよい。そうすれば、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧がかかるのを防ぐことができるので、高耐圧IC100の耐圧破壊を防止することができる。

【0137】また、図9に示す3相インバータ装置のように、各下アームスイッチング素子T2, T4, T6のエミッタと各ダイオードD2, D4, D6のアノードとが共通接続された母線上に電流検出器214を設けてなる図22に示す構成のインバータ装置においても、電流検出器214の信号を高耐圧IC200に伝達する信号伝達手段としてオペアンプ111およびそのオペアンプ111のゲインを決める抵抗112、113をオペアンプ111に接続して設け、負側電源端子VSSと下アームスイッチング素子駆動信号基準出力端子VS0とを接続して同電位にするようにしてもよい。

【0138】また、電流検出端子OCにはクランプダイオード114によりクランプする。そうすれば、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧がかかるのを防ぐことができるので、高耐圧IC200の耐圧破壊を防止することができる。

【0139】さらに、図10に示す3相インバータ装置のように、各ダイオードD2, D4, D6のアノードを電流検出器214に接続せずに、各下アームスイッチング素子T2, T4, T6のエミッタのみを電流検出器214に接続してなる図23に示す構成のインバータ装置においても、電流検出器214の信号を高耐圧IC200に伝達する信号伝達手段としてオペアンプ111およびそのオペアンプ111のゲインを決める抵抗112、113をオペアンプ111に接続して設け、負側電源端

子VSSと下アームスイッチング素子駆動信号基準出力端子VS0とを接続して同電位にするようにしてもよい。

【0140】また、電流検出端子OCにはクランプダイオード114によりクランプする。そうすれば、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に負電圧がかかるのを防ぐことができるので、高耐圧IC200の耐圧破壊を防止することができる。

【0141】さらにまた、上記実施の形態3では電流検出器106、214の出力を高耐圧IC100、200に伝達する手段としてオペアンプ111を用いたが、オペアンプ111に代えて絶縁アンプやアナログフォトカプラなどを用いても、同様の効果が得られる。

【0142】(実施の形態4) 図11は、この発明に係る単相インバータ装置におけるインバータ回路のチップ配置例を示す模式図である。このインバータ回路は、上アームスイッチング素子T1のチップ(以下、上アームスイッチング素子チップと称する)301および上アームスイッチング素子T1に逆並列接続されたダイオードD1のチップ(以下、上アームダイオードチップと称する)302、下アームスイッチング素子T2のチップ

(以下、下アームスイッチング素子チップと称する)303および下アームスイッチング素子T2に逆並列接続されたダイオードD2のチップ(以下、下アームダイオードチップと称する)304、インバータ回路に正の電源電圧を印加する電源端子Pとなるボンディングパッド(以下、本実施の形態4においてはボンディングパッドPとする)、インバータ回路に負の電源電圧を印加する電源端子Nとなるボンディングパッド(以下、同様にボンディングパッドNとする)、インバータ回路の出力端子Uとなるボンディングパッド(以下、同様にボンディングパッドUとする)を備えた構成となっている。

【0143】上アームスイッチング素子チップ301は、その表面の一部にゲート301G(四角く囲まれた領域)が設けられており、そのゲート301Gの領域以外のチップ表面がコレクタ301Cとなるように形成されている。上アームスイッチング素子チップ301の裏面はエミッタ301Eとなっている。上アームスイッチング素子T1のコレクタ301CはボンディングパッドPに直接接している。

【0144】上アームスイッチング素子T1のエミッタ301EはボンディングパッドUにワイヤW1を介して電氣的に接続されている。特に限定しないが、図11ではワイヤW1は3本のワイヤよりなるワイヤ束となっている。上アームスイッチング素子T1のゲート301GはボンディングワイヤW2を介して高耐圧IC100(図11では省略されている)の上アームスイッチング素子駆動信号出力端子UPoに電氣的に接続されている。

【0145】上アームダイオードチップ302は、その表面がアノード302Aで裏面がカソード302Cとなるように形成されている。ダイオードD1のカソード302CはボンディングパッドPに直接接しており、アノード302AはボンディングパッドUにワイヤW3を介して電氣的に接続されている。特に限定しないが、図11ではワイヤW3は3本のワイヤよりなるワイヤ束となっている。

【0146】下アームスイッチング素子チップ303は、その表面の一部にゲート303G(四角く囲まれた領域)が設けられており、そのゲート303Gの領域以外のチップ表面がコレクタ303Cとなるように形成されている。下アームスイッチング素子チップ303の裏面はエミッタ303Eとなっている。下アームスイッチング素子T2のコレクタ303CはボンディングパッドUに直接接している。

【0147】下アームスイッチング素子T2のエミッタ303EはボンディングパッドNにワイヤW4を介して電氣的に接続されている。特に限定しないが、図11ではワイヤW4は3本のワイヤよりなるワイヤ束となっている。下アームスイッチング素子T2のゲート303GはボンディングワイヤW5を介して高耐圧IC100

(図11では省略されている)の下アームスイッチング素子駆動信号出力端子UNoに電氣的に接続されている。

【0148】下アームダイオードチップ304は、その表面がアノード304Aで裏面がカソード304Cとなるように形成されている。ダイオードD2のカソード304CはボンディングパッドUに直接接しており、アノード304AはボンディングパッドNにワイヤW6を介して電氣的に接続されている。特に限定しないが、図11ではワイヤW6は3本のワイヤよりなるワイヤ束となっている。

【0149】また、下アームダイオードチップ304のアノード304Aは、ボンディングワイヤW7を介して高耐圧IC100(図示省略)の下アームスイッチング素子駆動信号基準出力端子VS0に電氣的に接続されている。ボンディングパッドUの下アームダイオードチップ304の近傍には、高耐圧IC100(図示省略)の上アームスイッチング素子駆動信号基準出力端子VS1に接続されたボンディングワイヤW7が電氣的に接続されている。

【0150】図12には、図11に示す構成のインバータ回路の回路図が示されている。図12においてハッチングを付した配線部は上記P、UおよびNのボンディングパッドであり、実線で示した配線部はボンディングワイヤである。同図から明らかなように、図11に示す構成によれば、ダイオードD2のアノード304Aから高耐圧IC100(図示省略)の下アームスイッチング素子駆動信号基準出力端子VS0に接続されたボンディン

グワイヤW7が引き出され、かつダイオードD2のカソード304Cの近傍から高耐圧IC100（図示省略）の上アームスイッチング素子駆動信号基準出力端子VS1に接続されたボンディングワイヤW8が引き出されていることがわかる。

【0151】なお、図11および図12において、符号X1およびX0を付して破線で示した配線部は、それぞれ従来のインバータ回路における上下のアームスイッチング素子駆動信号基準出力端子VS1、VS0との接続に供されるボンディングワイヤである。

【0152】以上説明したように、この実施の形態4によれば、ダイオードD2のアノード304AにボンディングワイヤW7が接続され、かつダイオードD2のカソード304Cの近傍にボンディングワイヤW8が接続されているため、電流検出器を設けない場合には、従来の配線パターンにより生じていたインダクタンスLa、Lb（図12参照）による電圧発生分がなくなり、上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に印加され得る負電圧はほぼダイオードD2のオン電圧VF（通常、高くても3V程度である）のみとなるので、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に定格耐圧最小値-5Vを下回るの負電圧が印加されるのが防止され、高耐圧IC100の耐圧破壊を防止することができる。

【0153】また、この実施の形態4によれば、電流検出器106を設けた場合には、高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に、ダイオードD2のオン電圧VF以外にも上記従来技術で説明したような種々の要因による負電圧が発生して印加されるが、従来の配線パターンにより生じていたインダクタンスLa、Lb（図12参照）による電圧発生分については減少されるので、上下のアームスイッチング素子駆動信号基準出力端子VS1、VS0間に電流検出器106により発生される負電圧が低ければ、高耐圧IC100の耐圧破壊を防止することができる。

【0154】（実施の形態5）図13は、この発明に係る3相インバータ装置の電流検出器を設けない場合におけるインバータ回路のチップ配置例を示す模式図である。

【0155】このインバータ回路は、上アームスイッチング素子T1、T3、T5の各チップ（以下、上アームスイッチング素子チップと称する）401、402、403および上アームスイッチング素子T1、T3、T5にそれぞれ逆並列接続されたダイオードD1、D3、D5の各チップ（以下、上アームダイオードチップと称する）407、408、409、下アームスイッチング素子T2、T4、T6の各チップ（以下、下アームスイ

チング素子チップと称する）404、405、406および下アームスイッチング素子T2、T4、T6にそれぞれ逆並列接続されたダイオードD2、D4、D6の各チップ（以下、下アームダイオードチップと称する）410、411、412、インバータ回路に正の電源電圧を印加する電源端子Pとなるボンディングパッド（以下、本実施の形態5においてはボンディングパッドPとする）、インバータ回路に負の電源電圧を印加する電源端子Nとなるボンディングパッド（以下、同様にボンディングパッドNとする）、インバータ回路の出力端子U、V、Wとなる各ボンディングパッド（以下、同様にそれぞれボンディングパッドU、V、Wとする）、下アームスイッチング素子駆動信号基準出力端子VS0に接続されたボンディングワイヤW10が電氣的に接続される専用のボンディングパッド（以下、VS0用ボンディングパッドと称する）420を備えた構成となっている。

【0156】上アームスイッチング素子チップ401、402、403は、それぞれその表面の一部にゲート401G、402G、403G（四角く囲まれた領域）が設けられており、各ゲート401G、402G、403Gの領域以外のチップ表面がそれぞれコレクタ401C、402C、403Cとなるように形成されている。各上アームスイッチング素子チップ401、402、403の裏面はそれぞれエミッタ401E、402E、403Eとなっている。各上アームスイッチング素子T1、T3、T5のコレクタ401C、402C、403CはボンディングパッドPに直接接している。各上アームスイッチング素子T1、T3、T5のエミッタ401E、402E、403EはボンディングパッドUにそれぞれワイヤW11、W12、W13を介して電氣的に接続されている。

【0157】特に限定しないが、図13ではワイヤW11、W12、W13はいずれも3本のワイヤよりなるワイヤ束となっている。各上アームスイッチング素子T1、T3、T5のゲート401G、402G、403Gはそれぞれボンディングワイヤ（図示省略）を介して高耐圧IC200（図示省略）の上アームスイッチング素子駆動信号出力端子UPo、VPo、WPoに電氣的に接続されている。

【0158】上アームダイオードチップ407、408、409は、それぞれの表面がアノード407A、408A、409Aでそれぞれの裏面がカソード407C、408C、409Cとなるように形成されている。各ダイオードD1、D3、D5のカソード407C、408C、409CはボンディングパッドPに直接接しており、アノード407A、408A、409AはボンディングパッドUにワイヤW14、W15、W16を介して電氣的に接続されている。特に限定しないが、図13ではワイヤW14、15、16はいずれも3本のワイヤ

よりなるワイヤ束となっている。

【0159】下アームスイッチング素子チップ404、405、406は、それぞれの表面の一部にゲート404G、405G、406G（四角く囲まれた領域）が設けられており、各ゲート404G、405G、406Gの領域以外のチップ表面がそれぞれコレクタ404C、405C、406Cとなるように形成されている。各下アームスイッチング素子チップ404、405、406の裏面はそれぞれエミッタ404E、405E、406Eとなっている。

【0160】各下アームスイッチング素子T2、T4、T6のコレクタ404C、405C、406CはボンディングパッドUに直接接している。各下アームスイッチング素子T2、T4、T6のエミッタ404E、405E、406EはボンディングパッドNにそれぞれワイヤW17、W18、W19を介して電氣的に接続されている。特に限定しないが、図13ではワイヤW17、W18、W19はいずれも3本のワイヤよりなるワイヤ束となっている。各下アームスイッチング素子T2、T4、T6のゲート404G、405G、406Gはそれぞれ

ボンディングワイヤ（図示省略）を介して高耐圧IC200（図示省略）の下アームスイッチング素子駆動信号出力端子UNo、VNo、WNoに電氣的に接続されている。

【0161】下アームダイオードチップ410、411、412は、それぞれの表面がアノード410A、411A、412Aでそれぞれの裏面がカソード410C、411C、412Cとなるように形成されている。各ダイオードD2、D4、D6のカソード410C、411C、412CはボンディングパッドUに直接接しており、アノード410A、411A、412AはボンディングパッドNにワイヤW20、W21、W22を介して電氣的に接続されている。特に限定しないが、図13ではワイヤW20、W21、W22はいずれも3本のワイヤよりなるワイヤ束となっている。

【0162】また、各下アームダイオードチップ410、411、412のアノード410A、411A、412Aは、それぞれボンディングワイヤW23、W24、W25を介してVS0用ボンディングパッド420に電氣的に接続されている。

【0163】さらに、各ボンディングパッドU、V、Wは、それぞれ下アームダイオードチップ410、411、412の近傍にてボンディングワイヤW26、W27、W28を介して、パターン成形された配線部421、422、423に電氣的に接続されている。各配線部421、422、423は、それぞれボンディングワイヤW29、W30、W31を介して、高耐圧IC200（図示省略）の上アームスイッチング素子駆動信号基準出力端子VS1、VS2、VS3に電氣的に接続されている。

【0164】以上説明したように、この実施の形態5によれば、下アームの各ダイオードD2、D4、D6のカソード410C、411C、412Cから高耐圧IC200の各上アームスイッチング素子駆動信号基準出力端子VS1、VS2、VS3に至る配線経路に主となる電流が流れないようにしているとともに、各ダイオードD2、D4、D6のアノード410A、411A、412Aから高耐圧IC200の下アームスイッチング素子駆動信号基準出力端子VS0に至る配線経路にも主となる電流が流れないようにしているため、それら上下のアームスイッチング素子駆動信号基準出力端子VS1、VS2、VS3とVS0との間に印加される電圧V（VS1-VS0）、V（VS2-VS0）、V（VS3-VS0）は各ダイオードD2、D4、D6のオン電圧VFのみとなり、高耐圧IC200の耐圧破壊を防止することができる。

【0165】また、この実施の形態5によれば、電流検出器214を設けた場合には、高耐圧IC200の各上アームスイッチング素子駆動信号基準出力端子VS1、VS2、VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間に、ダイオードD2、D4、D6のオン電圧VF以外にも上記従来技術で説明したような種々の要因による負電圧が発生して印加されるが、従来の配線パターンにより生じていたインダクタンスによる電圧発生分については減少されるので、上下のアームスイッチング素子駆動信号基準出力端子VS1、VS2、VS3とVS0との間に電流検出器214により発生される負電圧が低ければ、高耐圧IC200の耐圧破壊を防止することができる。

【0166】（実施の形態6）次に、この発明に係る実施の形態6について説明する。この実施の形態6の特徴は、インバータ回路に使用されている複数のスイッチング素子やダイオードのうち、下アームスイッチング素子に逆並列接続されたダイオードだけ他のスイッチング素子やダイオードよりも電流容量の大きいものを使用することである。つまり、下アームのダイオードの電流容量が大きくなると、このダイオードのオン電圧VFが低くなり、高耐圧ICの上下のアームスイッチング素子駆動信号基準出力端子間に印加される負電圧がより小さくなるからである。

【0167】図14には、インバータ装置に用いられるダイオードの電圧VF・電流IF特性の一例が示されている。一般に、出力短絡時などにおいては電流が300A程度流れることがある。そのような場合、図14に示すように、電流容量が50Aのダイオードではオン電圧VFが5Vとなり、それだけで高耐圧ICの定格電圧に達してしまう。しかし、例えば電流容量が75Aのダイオードでは、そのオン電圧が約3.5Vですむため、それだけで高耐圧ICが破壊されることはない。なお、従来のインバータ回路では、下アームのダイオードも他の

スイッチング素子やダイオードと同じ電流容量のものであった。

【0168】従って、実施の形態7によれば、下アームのダイオードだけ電流容量が大きいものを用いることにより、高耐圧ICの破壊原因の一つである下アームのダイオードのオン電圧VFを低く抑えることができるため、高耐圧ICの耐圧破壊に対するマージンが大きくなり、高耐圧ICが破壊し難くなる。

【0169】なお、下アームのダイオードの電流容量は75Aに限らないのはいうまでもない。

【0170】

【発明の効果】以上、説明したように、この発明に係るインバータ装置によれば、単相インバータ装置において、高耐圧ICの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に印加された負電圧が、それらの端子間の定格耐圧最小値を下回るのを防止できるので、高耐圧ICの耐圧破壊を防止することができる。

【0171】つぎの発明に係るインバータ装置によれば、3相インバータ装置において、高耐圧ICの3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間にそれぞれ印加された負電圧が、それらの端子間の定格耐圧最小値を下回るのを防止できるので、高耐圧ICの耐圧破壊を防止することができる。

【0172】つぎの発明に係るインバータ装置によれば、上記の効果の他に、高耐圧ICの設計変更が不要であるため、従来とほとんど変わらないコストでもって高耐圧ICの破壊を防ぐことができるとともに、既存の高耐圧ICを使用したインバータ装置にもこの発明を適用することができ、既存装置の高耐圧ICの破壊を防ぐことができるという効果が得られる。

【0173】つぎの発明に係るインバータ装置によれば、電流検出器からの出力を高耐圧ICに伝達する手段を設けたことにより、負側電源端子と下アームスイッチング素子駆動信号基準出力端子との電位を等しくすることができるので、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に、電流検出器の配線パターンなどにより負電圧が印加されるのを防ぐことができ、高耐圧ICの耐圧破壊を防止することができる。

【0174】つぎの発明に係るインバータ装置によれば、上記の効果の他に、高耐圧ICの設計変更が不要であるため、従来とほとんど変わらないコストでもって高耐圧ICの破壊を防ぐことができるとともに、既存の高耐圧ICを使用したインバータ装置にもこの発明を適用することができ、既存装置の高耐圧ICの破壊を防ぐことができるという効果が得られる。

【0175】つぎの発明に係るインバータ装置によれば、単相インバータ装置において、電流検出器を設け

い場合には、従来の配線パターンにより生じていたインダクタンスによる電圧発生分がなくなり、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に印加され得る負電圧はほぼ下アームのダイオードのオン電圧のみとなるので、上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に定格耐圧最小値を下回るの負電圧が印加されるのが防止され、高耐圧ICの耐圧破壊を防止することができる。電流検出器を設けた場合には、上下のアームスイッチング素子駆動信号基準出力端子間に電流検出器により発生される負電圧が低ければ、高耐圧ICの耐圧破壊を防止することができる。

【0176】つぎの発明に係るインバータ装置によれば、3相インバータ装置において、下アームの3つダイオードの各カソードから高耐圧ICの各上アームスイッチング素子駆動信号基準出力端子に至るそれぞれの配線経路に主となる電流が流れないようにしているとともに、下アームの3つのダイオードの各アノードから高耐圧ICの各下アームスイッチング素子駆動信号基準出力端子に至るそれぞれの配線経路にも主となる電流が流れないようにしているので、電流検出器を設けない場合には、3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に印加され得る負電圧はそれぞれほぼ3つの下アームのダイオードのオン電圧のみとなるので、3つの上アームスイッチング素子駆動信号基準出力端子と下アームスイッチング素子駆動信号基準出力端子との間に定格耐圧最小値を下回るの負電圧が印加されるのが防止され、高耐圧ICの耐圧破壊を防止することができる。電流検出器を設けた場合には、上下のアームスイッチング素子駆動信号基準出力端子間に電流検出器により発生されるそれぞれの負電圧が低ければ、高耐圧ICの耐圧破壊を防止することができる。

【0177】つぎの発明に係るインバータ装置によれば、下アームのダイオードだけ電流容量が大きいものを用いることにより、高耐圧ICの破壊原因の一つである下アームのダイオードのオン電圧を低く抑えることができるため、高耐圧ICの耐圧破壊に対するマージンが大きくなり、高耐圧ICが破壊し難くなる。

【図面の簡単な説明】

【図1】 この発明を高耐圧IC駆動単相インバータ装置に適用した実施の形態1を示す回路図である。

【図2】 この発明を高耐圧IC駆動単相インバータ装置に適用した実施の形態1の他の例を示す回路図である。

【図3】 この発明を高耐圧IC駆動単相インバータ装置に適用した実施の形態1のさらに他の例を示す回路図である。

【図4】 この発明を高耐圧IC駆動3相インバータ装

37

置に適用した実施の形態2を示す回路図である。

【図5】 この発明を高耐圧IC駆動3相インバータ装置に適用した実施の形態2の他の例を示す回路図である。

【図6】 この発明を高耐圧IC駆動3相インバータ装置に適用した実施の形態2のさらに他の例を示す回路図である。

【図7】 この発明を高耐圧IC駆動単相インバータ装置に適用した実施の形態3を示す回路図である。

【図8】 この発明を高耐圧IC駆動単相インバータ装置に適用した実施の形態3の他の例を示す回路図である。

【図9】 この発明を高耐圧IC駆動3相インバータ装置に適用した実施の形態3を示す回路図である。

【図10】 この発明を高耐圧IC駆動3相インバータ装置に適用した実施の形態3の他の例を示す回路図である。

【図11】 この発明を高耐圧IC駆動単相インバータ装置に適用した実施の形態4を示す模式図である。

【図12】 その実施の形態4を示す回路図である。

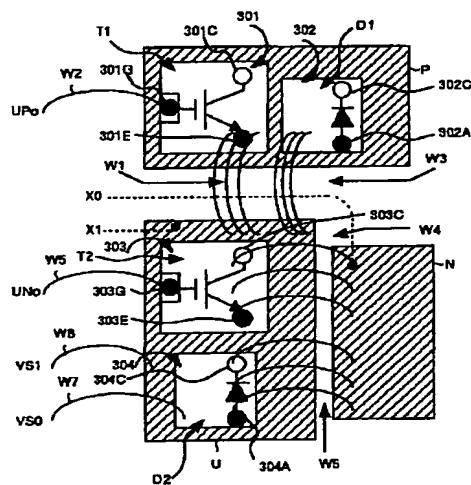
【図13】 この発明を高耐圧IC駆動3相インバータ装置に適用した実施の形態5を示す模式図である。

【図14】 この発明の実施の形態6を説明するためのダイオードの電圧VF・電流IF特性の一例を示すグラフである。

【図15】 一般的な3相インバータ回路の構成を示す回路図である。

【図16】 一般的な3相インバータ回路の構成を示す回路図である。

【図11】



38

【図17】 一般的な3相インバータ回路の構成を示す回路図である。

【図18】 従来における単相インバータ装置を示す回路図である。

【図19】 その従来における単相インバータ装置の動作タイミングを示すタイミングチャートである。

【図20】 従来における単相インバータ装置を示す回路図である。

【図21】 従来における単相インバータ装置を示す回路図である。

【図22】 従来における3相インバータ装置を示す回路図である。

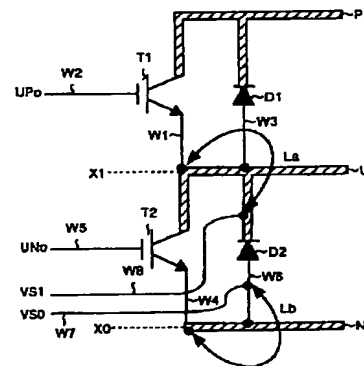
【図23】 従来における3相インバータ装置を示す回路図である。

【図24】 従来における3相インバータ装置を示す回路図である。

【符号の説明】

D1, D3, D5 上アームのダイオード、D2, D4, D6 下アームのダイオード、VS1, VS2, VS3 上アームスイッチング素子駆動信号基準出力端子、VS0 下アームスイッチング素子駆動信号基準出力端子、T1, T3, T5 上アームスイッチング素子、T2, T4, T6 下アームスイッチング素子、100, 200 高耐圧IC、106, 214 電流検出器、108 直流電源、110, 216, 217, 218 クランプダイオード、111 オペアンプ（伝達手段）、112, 113 抵抗（伝達手段）、420 VSO用ボンディングパッド

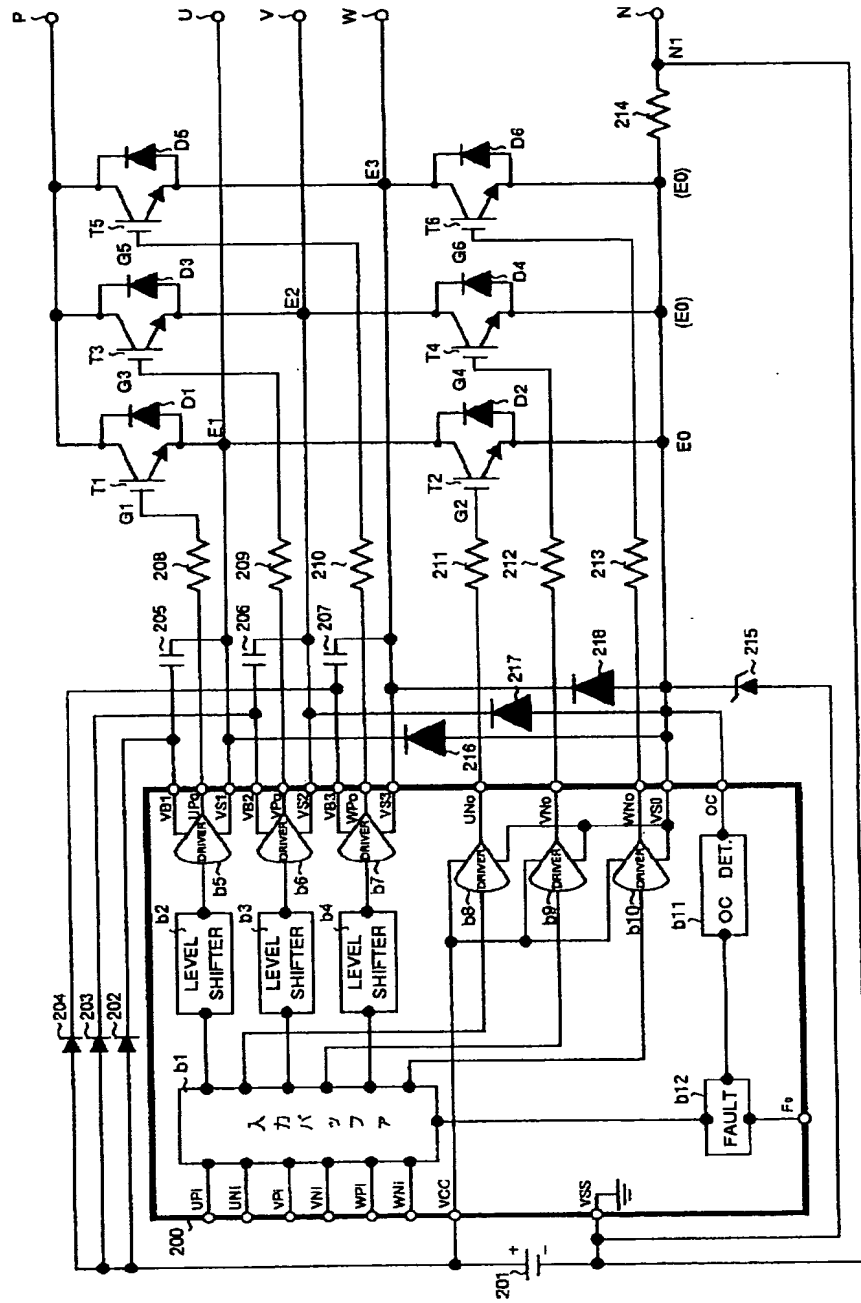
【図12】



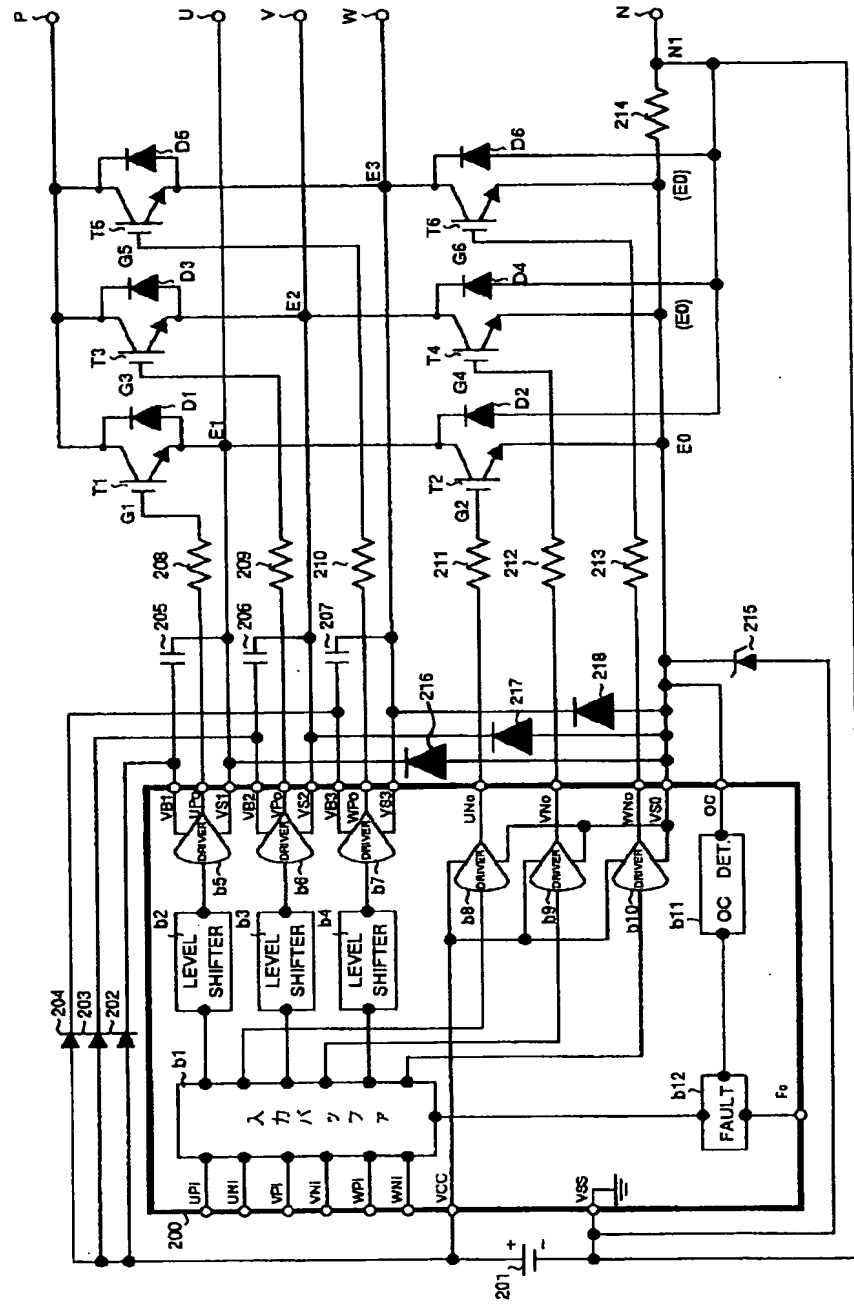
[illegible]

The diagram illustrates a power MOSFET driver circuit with an integrated fault detection system. The driver consists of a PMOSFET (T1) and an NMOSFET (T2) in a half-bridge configuration. The PMOSFET's gate is driven by a driver IC (100) through a gate resistor (104). The NMOSFET's gate is driven by the same driver IC through a gate resistor (105). The drain of the PMOSFET is connected to the positive supply (VDC) through a drain resistor (108a) and an inductor (L1). The source of the PMOSFET is connected to the drain of the NMOSFET through an inductor (L2). The source of the NMOSFET is connected to ground through a source resistor (L6) and an inductor (L4). The output of the driver is taken from the node between the two MOSFETs (E1). The fault detection circuit (100) includes a level shifter (a2) that monitors the output voltage (E1) and a fault detector (a6) that monitors the current through the PMOSFET (I1). The fault detector is connected to the drain of the PMOSFET through a sense resistor (103) and a diode (102). The fault detector output (a5) is connected to the OC DET. pin of the driver IC. The driver IC also includes a VSS pin, a VCC pin, and a FAULT pin (a6). The driver IC is powered by a VCC supply (101) and a VSS supply (102).

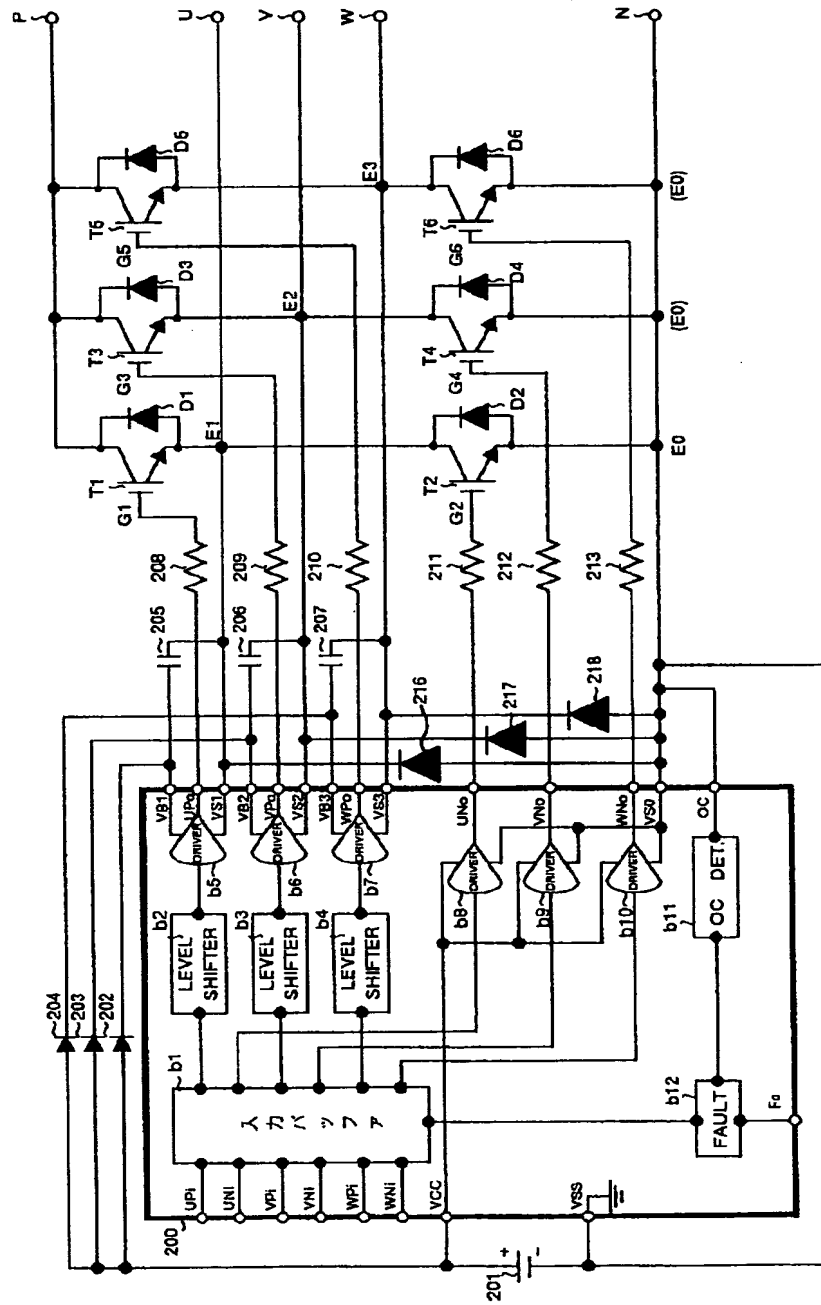
【図4】



【図5】

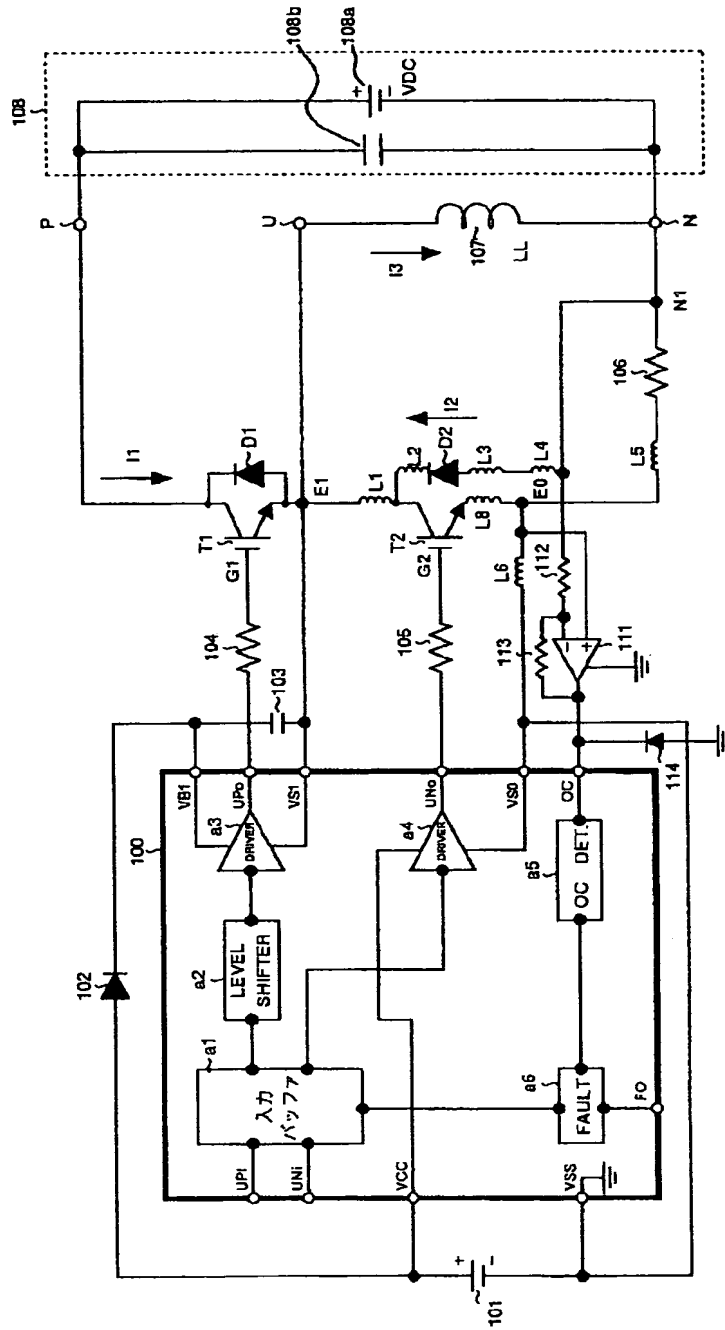


【図6】

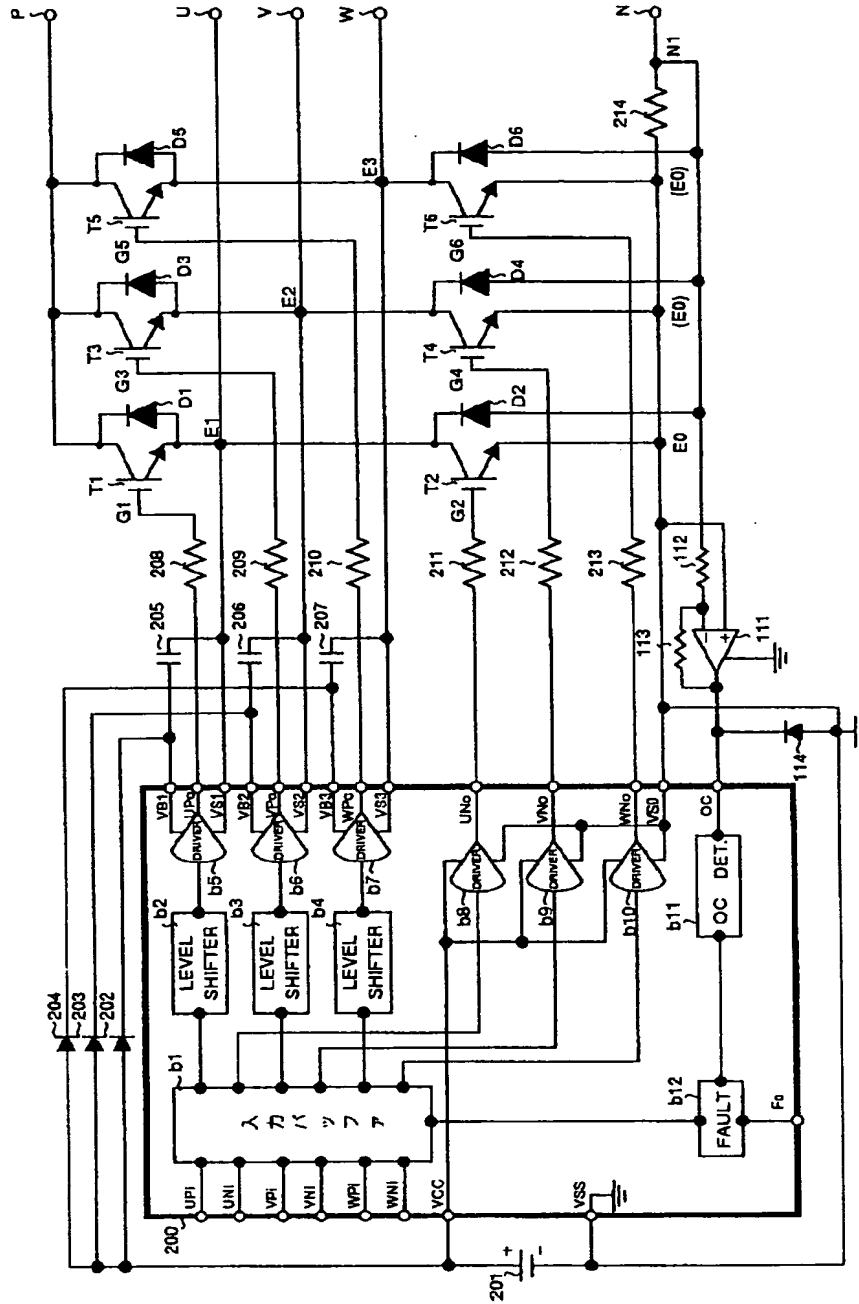


The diagram illustrates a motor control system. A microcontroller (100) is connected to a power supply (101) and a ground. It includes a level shifter (a2), a driver (a3), and an output comparator (a4). The driver (a3) is connected to a power transistor (T1) via a gate resistor (G1). The output comparator (a4) is connected to a power transistor (T2) via a gate resistor (G2). The power transistors (T1, T2) are connected to a motor (107) via a common emitter resistor (L1). The motor is connected to a power supply (VDC) via a common emitter resistor (L5). The microcontroller also includes a fault detector (a6) and an output comparator (a5). The fault detector (a6) is connected to a fault input (FO) and a fault output (OC DET.). The output comparator (a5) is connected to an output (OC) and a ground. The microcontroller is also connected to a power supply (VCC) and a ground (VSS).

【図8】



【図10】



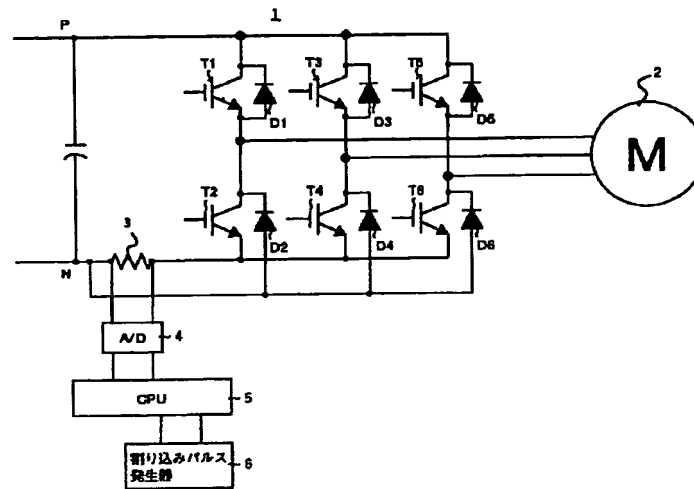
ダイオード電流 I_F (A)

75A

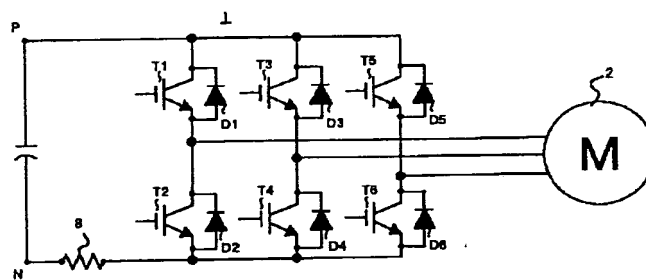
50A

ダイオード電圧 V_F (V)

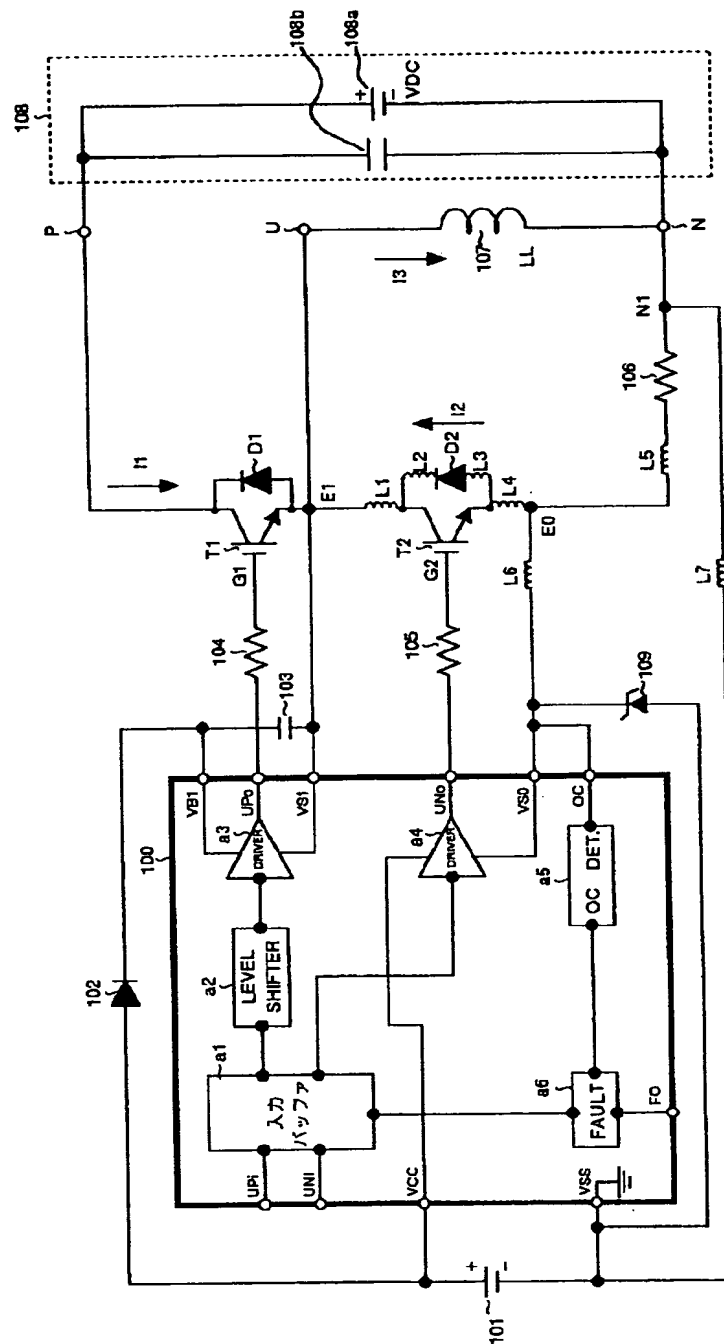
【図15】



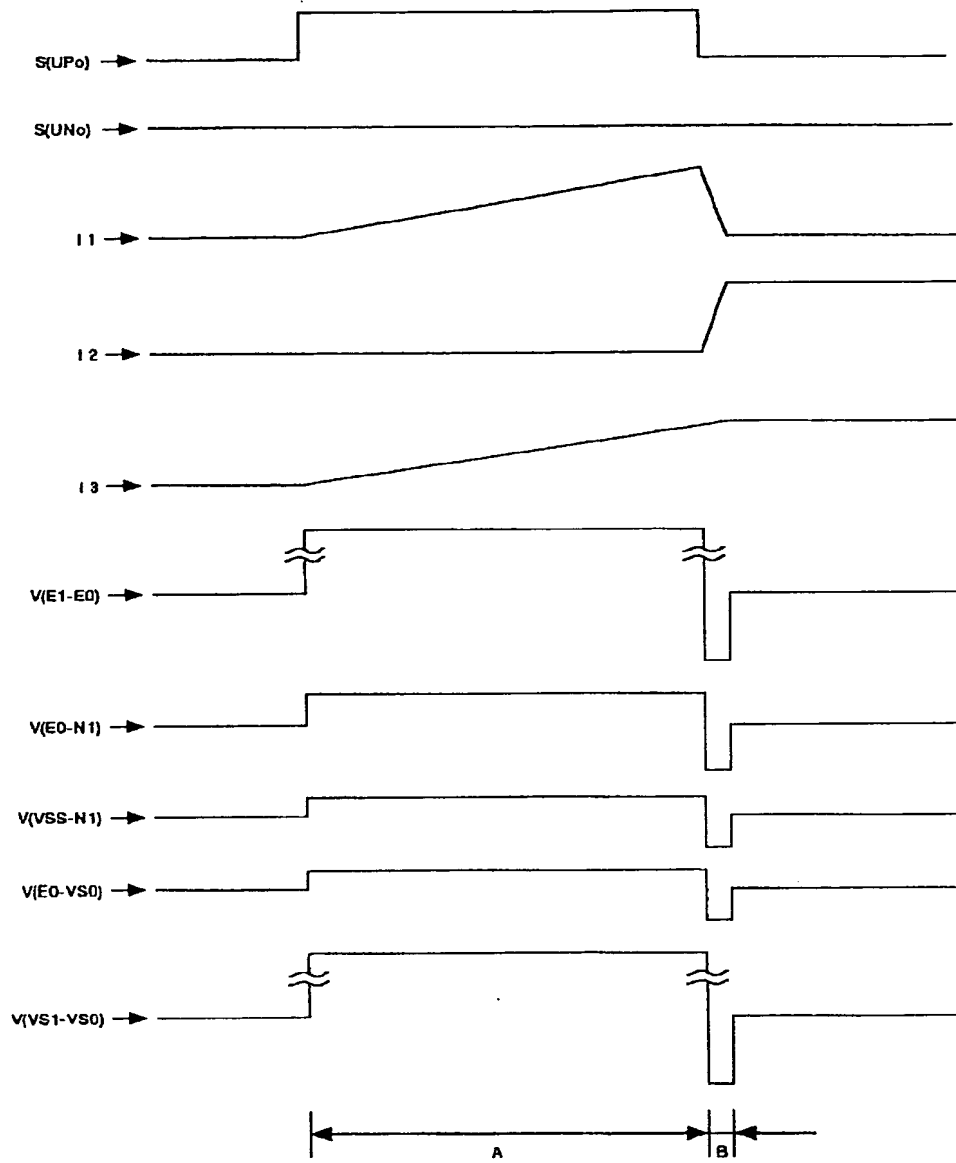
【図17】



【図18】

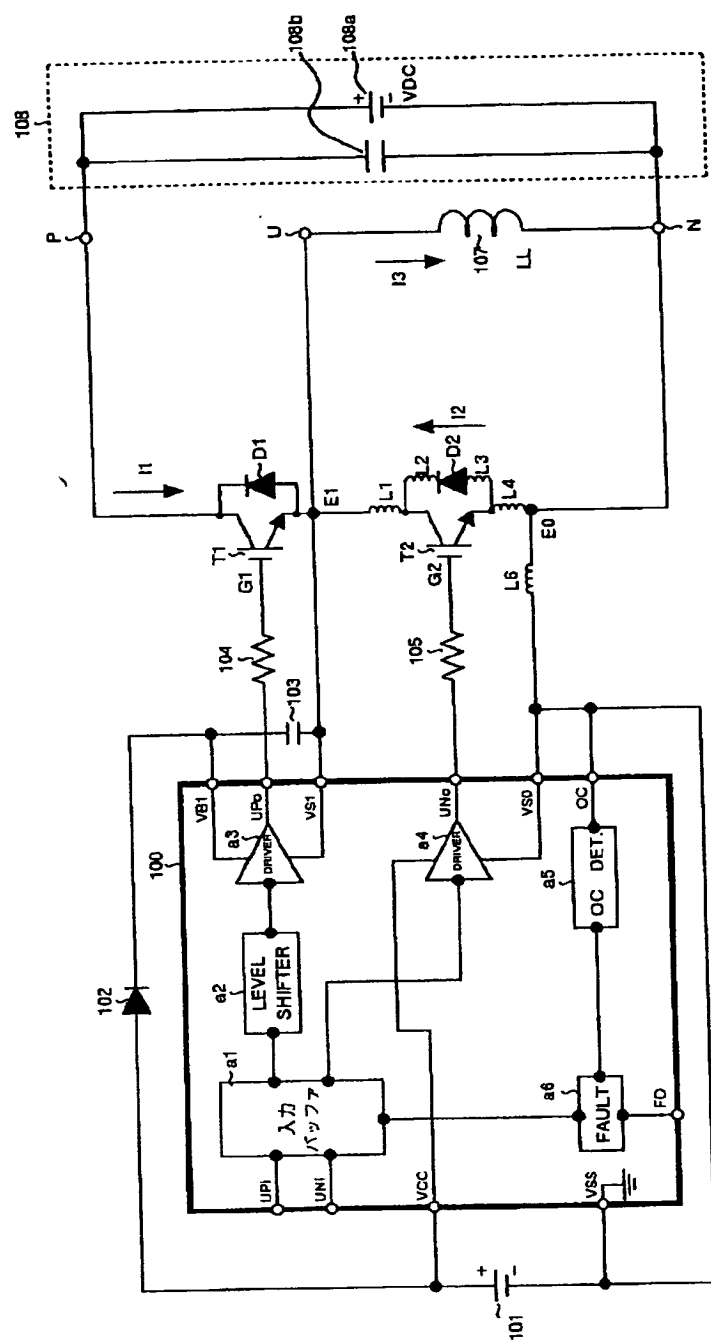


【図19】

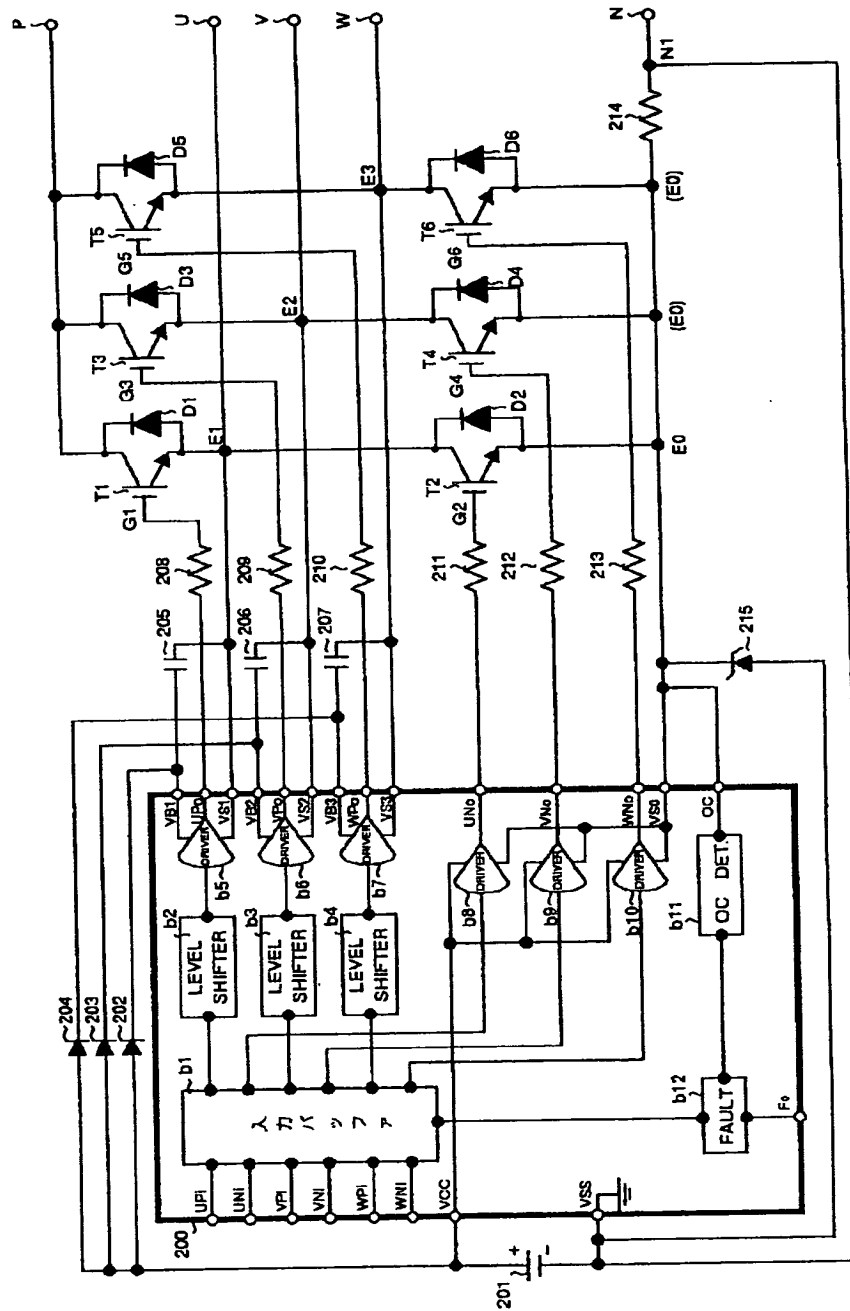


The diagram shows a power MOSFET driver circuit with a fault detection feature. The driver consists of a PNP transistor T1 (labeled 104) and an NPN transistor T2 (labeled 105). The base of T1 is connected to a control signal through a resistor G1 and a capacitor 103. The emitter of T1 is connected to a positive supply VDC through a resistor 108a. The collector of T1 is connected to the gate of an N-channel MOSFET M1 (labeled 107). The gate of M1 is also connected to a positive supply VDC through a resistor 108b. The drain of M1 is connected to a load inductor LL (labeled 107) and a load resistor N1 (labeled 106). The other end of LL and N1 is connected to a common ground. The source of M1 is connected to a common ground through a resistor L5 (labeled 106) and an inductor L6 (labeled 107). The drain of M1 is also connected to a common ground through a resistor L7 (labeled 107). The circuit includes a fault detection circuit (labeled 109) that monitors the MOSFET's operation. The fault detection circuit includes a fault input (a8), a fault output (FO), and a fault detection output (OC DET.). The fault detection circuit is connected to the MOSFET's gate (a5) and drain (a6) through resistors. The fault detection circuit is also connected to a common ground through a resistor VSS (labeled 101). The fault detection circuit is powered by a positive supply VCC (labeled 100) and a negative supply VEE (labeled 102). The fault detection circuit includes a level shifter (labeled 103) and a driver (labeled 104). The fault detection circuit is connected to the MOSFET's gate (a5) and drain (a6) through resistors. The fault detection circuit is also connected to a common ground through a resistor VSS (labeled 101). The fault detection circuit is powered by a positive supply VCC (labeled 100) and a negative supply VEE (labeled 102).

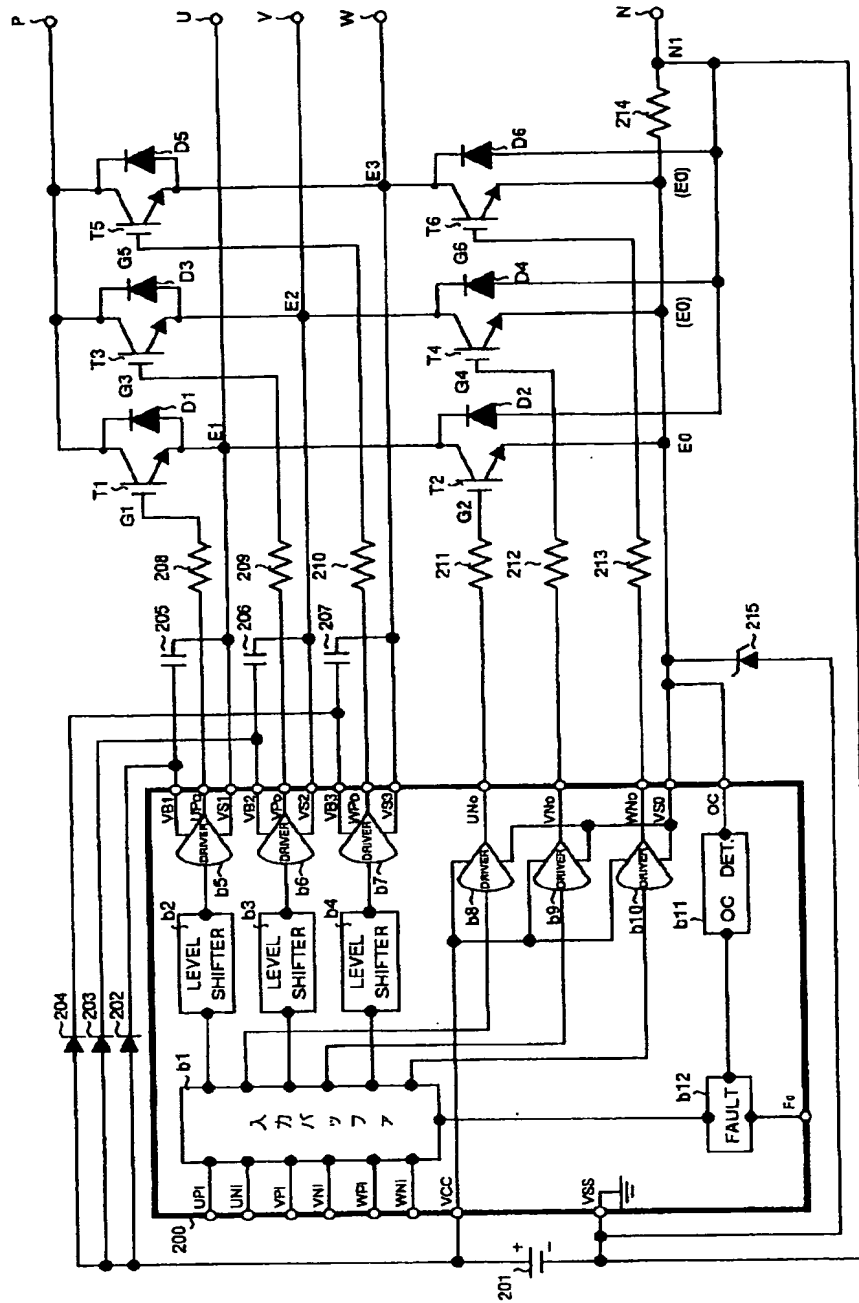
【図21】



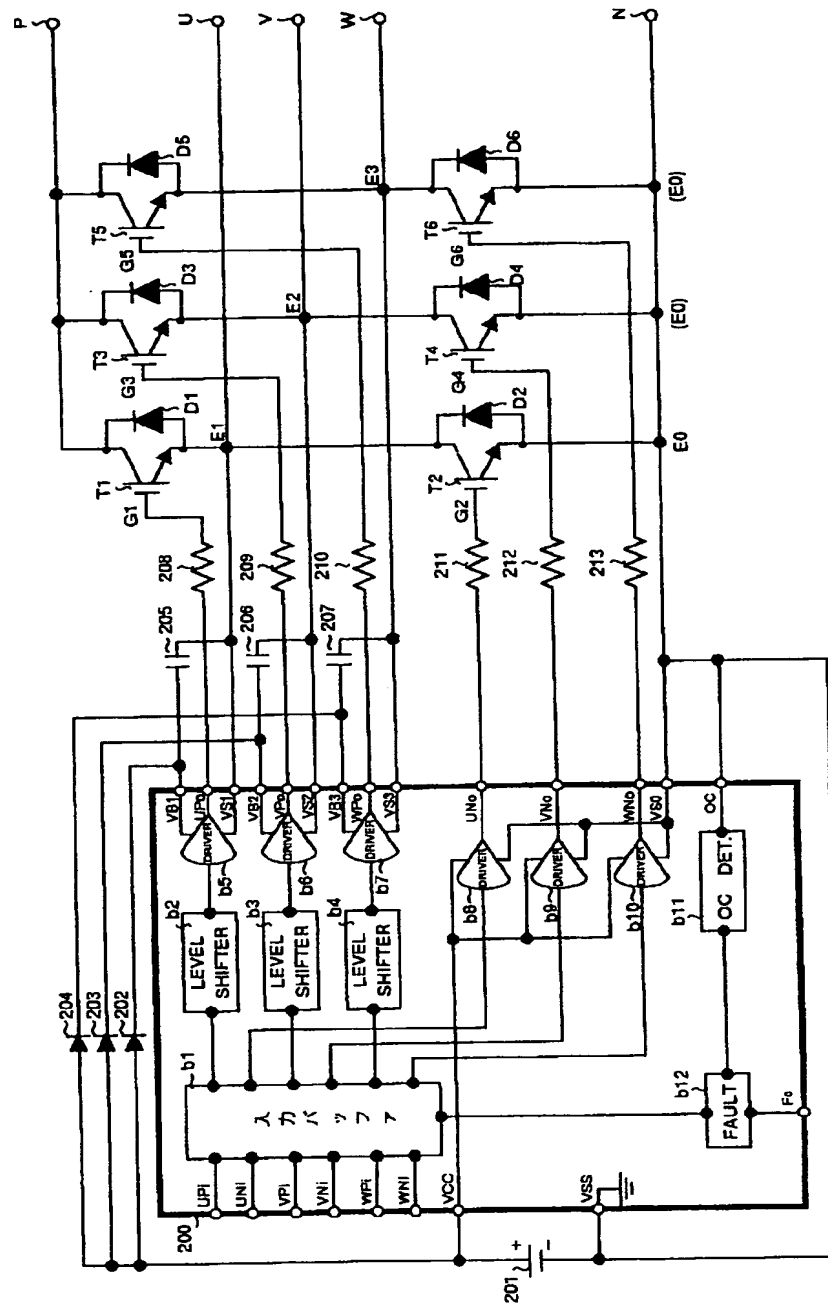
【図22】



【図23】



【図24】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第4区分
【発行日】平成14年4月12日（2002. 4. 12）

【公開番号】特開平10-42575
【公開日】平成10年2月13日（1998. 2. 13）
【年通号数】公開特許公報10-426
【出願番号】特願平8-193724
【国際特許分類第7版】
H02M 7/5387
【FI】
H02M 7/5387 Z

【手続補正書】

【提出日】平成14年1月18日（2002. 1. 18）

【手続補正1】

【補正対象書類名】明細書
【補正対象項目名】0107
【補正方法】変更
【補正内容】

【0107】図1に示す構成のインバータ装置の作用について説明する。高耐圧IC100の上アームスイッチング素子駆動信号基準出力端子VS1と下アームスイッチング素子駆動信号基準出力端子VS0との間に、該IC100を破壊させる原因となり得る負電圧が印可されたときにのみ、クランプダイオード110がオンとなり、それら端子VS1、VS0間の電圧V（VS1-VS0）をオン電圧（0.7V～2V程度）にクランプする。従って、電圧V（VS1-VS0）は-0.7V～-2V程度となり、高耐圧IC100のそれら端子VS1、VS0間の定格耐圧最小値-5Vを下回ることはいない。

【手続補正2】

【補正対象書類名】明細書
【補正対象項目名】0121
【補正方法】変更
【補正内容】

【0121】図4に示す構成のインバータ装置の作用について説明する。高耐圧IC200の上アームスイッチング素子駆動信号基準出力端子VS1、VS2、VS3と下アームスイッチング素子駆動信号基準出力端子VS0との間に、該IC200を破壊させる原因となり得る負電圧が印可されたときにのみ、クランプダイオード216、217、218がオンとなり、それら端子VS1、VS2、VS3とVS0との間の電圧V（VS1-VS0）、V（VS2-VS0）、V（VS3-VS0）をそれぞれオン電圧（0.7V～2V程度）にクランプする。従って、電圧V（VS1-VS0）、V（V

S2-VS0）、V（VS3-VS0）はそれぞれ-0.7V～-2V程度となり、高耐圧IC200のそれら端子VS1、VS2、VS3とVS0との間の定格耐圧最小値-5Vを下回ることはいない。

【手続補正3】

【補正対象書類名】明細書
【補正対象項目名】0134
【補正方法】変更
【補正内容】

【0134】図7に示す構成のインバータ装置の作用について説明する。通常、電流検出器106には図7に“+”および“-”で示すような極性の電圧すなわち接続ノードE0側が接続ノードN1側よりも高くなるような電位差が発生するので、オペアンプ111により反転されて電流検出端子OCには正の電圧が印加される。上記従来技術において説明したように電流が遮断されてわずかな配線インダクタンスにより負電圧が誘起された場合には、オペアンプ111が負電圧を有しているため、その負電圧の電圧範囲内であればオペアンプ111が破壊することはない。その際、高耐圧ICの電流検出端子OCにはオペアンプ111から出力された負電圧が印加されることになるが、電流検出端子OCの電位はクランプダイオード114によりクランプされるので高耐圧IC100が破壊することはない。

【手続補正4】

【補正対象書類名】明細書
【補正対象項目名】0168
【補正方法】変更
【補正内容】

【0168】従って、実施の形態6によれば、下アームのダイオードだけ電流容量が大きいものを用いることにより、高耐圧ICの破壊原因の一つである下アームのダイオードのオン電圧VFを低く抑えることができるため、高耐圧ICの耐圧破壊に対するマージンが大きくなり、高耐圧ICが破壊し難くなる。